

УДК 681.324

В.Я. Семенюк, М.В. Воскресенський, О.І. Міскевич

Луцький національний технічний університет

**КЛАСИФІКАЦІЯ СУЧАСНИХ ПРОГРАМОВАНИХ ЛОГІЧНИХ ІНТЕГРАЛЬНИХ СХЕМ**

*В статті рассмотрена проблематика класифікації програмуємих логічних інтегральних схем, которые необходимы при разработке и выпуске цифровых устройств, отвечающих современным требованиям. Рассмотрены и обобщены классификации, приведены методики таксономии.*

*Ключевые слова: ПЛИС, CPLD, FPGA, FLEX, SOC.*

*Рис. 5. Лит. 9.*

**Постановка проблеми.** Нещодавно з'явилися високопродуктивні програмовані логічні інтегральні схеми (ПЛИС). Поява ПЛИС надвисокої логічної ємності, розвиток засобів автоматизації проектування і рівень складності створюваних цифрових систем зумовлюють істотні зміни в методології проектування. Розробнику необхідно знати і застосовувати мови опису апаратури (HDL - Hardware Description Language), а також відповідні системи автоматизованого проектування (САПР). Тому проблема класифікації ПЛИС є актуальною.

**Аналіз останніх досліджень та публікацій.**

Проблема таксономії ПЛИС висвітлена в [1]. В цій роботі пропонується класифікувати ПЛИС за типом тіншової пам'яті.

**Невирішені частини проблеми.** Головною відмінністю між великим CPLD і малим FPGA до недавніх пір була наявність внутрішньої енергонезалежної конфігураційної пам'яті в CPLD. Ця відмінність стає вже не такою істотною, оскільки ряд останніх моделей FPGA також включають таку внутрішню пам'ять. Тим не менш, наявність такої внутрішньої енергонезалежної конфігураційної пам'яті, поряд з такою важливою характеристикою, як стійкість показників, роблять CPLD незамінними для сучасних цифрових схем в якості пристрою для початкової «завантаження ОС» схеми, перед тим, як передати управління іншим мікросхемам, що не володіють такою здатністю. Як приклад можна привести використання CPLD для завантаження даних конфігурації FPGA від енергонезалежної пам'яті. CPLD можна назвати проміжним етапом між пристроями PAL і FPGA, і, у міру розвитку технології, відмінності між CPLD і FPGA продовжують розмиватися (наприклад, іноді деякі CPLD фірми Intel називають FPGA). У той же час, порівнюючи ці дві родини та враховуючи розвиток самих CPLD та їх можливостей, такі їх архітектурні переваги, як ціна, енергонезалежна конфігурація, макрокомірки з передбачуваними характеристиками параметрів, менше енергоспоживання, можна припустити, що CPLD матимуть в майбутньому стійку нішу в завданні початкових параметрів цифрових схем, мобільної технології, розширенні числа входів / виходів для більш складних мікросхем, передобробці сигналів (наприклад, контролер COM-порту, USB, VGA) і в інших застосуваннях. Враховуючи ці обставини треба вносити зміни в класифікацію.

**Метою дослідження** є визначення особливостей, принципів та методів таксономії і враховуючи спільні та відмінні риси узагальнити класи для подальшого проектування.

**Основні результати дослідження.**

В загальному класифікація ПЛИС виглядає так(рис. 1): CPLD (Complex Programmable Logic Device) – складні програмовані логічні пристрої; FPGA (Field Programmable Gate Array) – програмована користувачем вентильна матриця; FLEX (Flexible Logic Element Matrix) - матриця елементів гнучкої логіки; SOC (System On Chip) - система на кристалі.

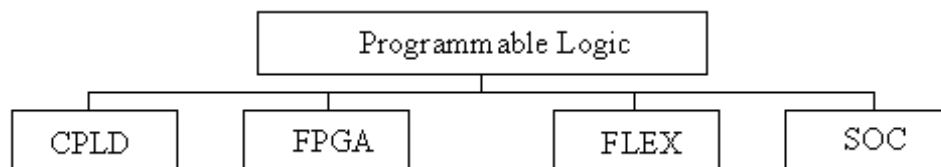


Рис. 1. Класифікація ПЛИС

CPLD складаються з блоків логічних вентилів, об'єднаних програмованою комутаційною матрицею. Сучасні CPLD, як правило, є електрично перепрограмуєми і зберігають логічну структуру після відключення живлення. Загальна архітектура інтегральної схеми типу CPLD зображена на рис. 2.

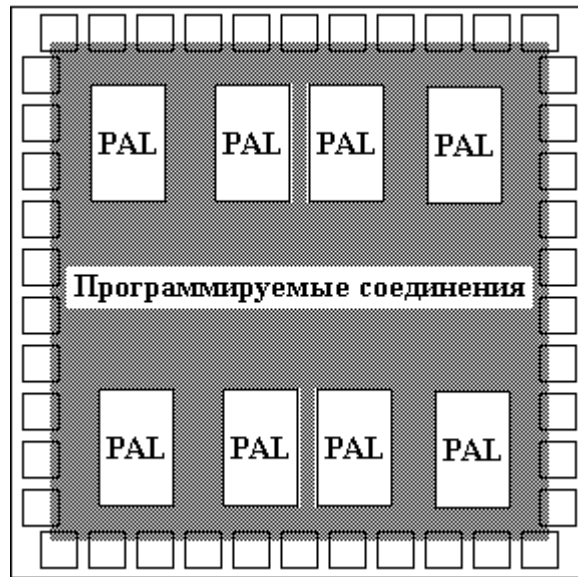


Рис. 2. Загальна архітектура інтегральної схеми типу CPLD

До цього класу належать ПЛІС сімейств MAX5000, MAX7000, MAX9000 фірми ALTERA, ПЛІС XC7000, XC9500, CoolRunner фірми Xilinx і велика кількість мікросхем інших виробників (Atmel, Vantis, Lucent та ін.).

Архітектура CPLD є дуже привабливою для реалізації цифрових автоматів, оскільки дозволяє легко втілити функції, задані у вигляді досконалих диз'юнктивних нормальних форм. Вони незамінні при заміні складних схем, реалізованих на звичайних логічних елементах.

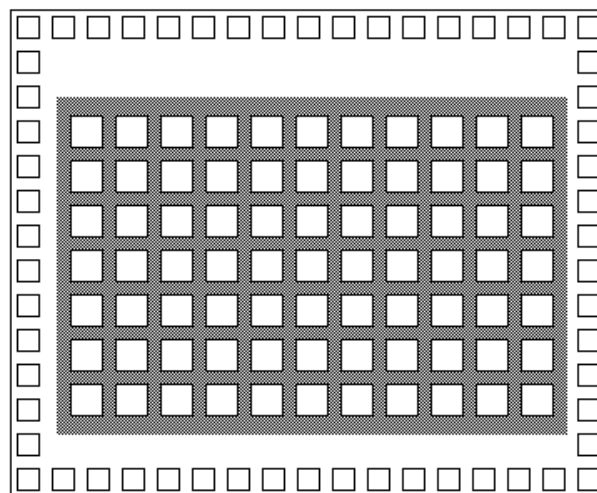


Рис. 3. Загальна архітектура інтегральної схеми типу FPGA

Наступною є програмована користувачем вентильна матриця, ПКВМ (англ. Field-Programmable Gate Array, FPGA (рис. 3)) — напівпровідниковий пристрій, що може бути налаштований виробником або розробником після виготовлення; звідси назва: «програмується користувачем». ПКВМ програмується шляхом зміни логіки роботи принципової схеми, наприклад, за допомогою вихідного коду мовою проектування (типу VHDL), на якому можна описати цю логіку роботи мікросхеми.

Всі частини FPGA конфігуруються засобами самих користувачів. при конфігуруванні FPGA функціональні блоки налаштовуються на виконання необхідних операцій перетворення даних, а система з'єднань - на необхідні зв'язки між функціональними блоками. В результаті у внутрішній області FPGA реалізується схема потрібної конфігурації. Розташовані по краях кристала блоки вводу-виводу забезпечують інтерфейс FPGA з зовнішнім середовищем. До складу типового функціонального блоку входять функціональний перетворювач, реалізований у вигляді програмованої пам'яті (LUT, Look-Up Table), тригер (регістр) і мультиплектори, грають роль

засобів конфігурації функціонального блоку. До FPGA класу відносяться ПЛІС XC3000, XC4000, XC5000, Spartan, Virtex фірми Xilinx, АСТ1, АСТ2 фірми Actel; деякі ПЛІС фірми Atmel і Vantis.

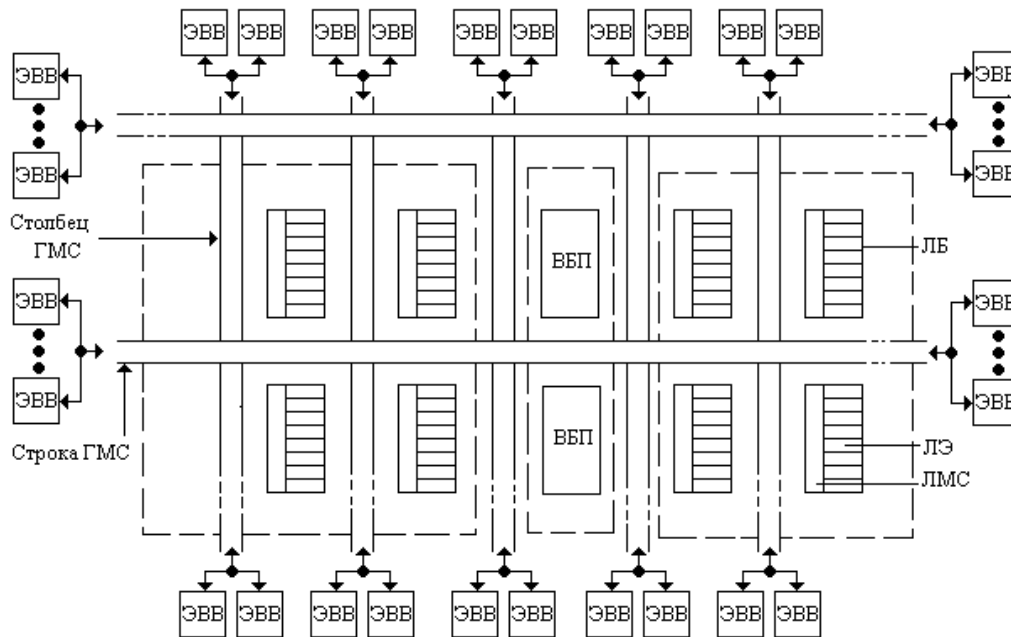


Рис. 4. Архітектура ПЛІС родини FLEX10K

Подальший розвиток структура CPLD отримала в мікросхемах фірми Altera, названих матрицями елементів гнучкої логіки (Flexible Logic Element Matrix - FLEX). Тут відсутня звична PAL-структура, а є блоки логічних елементів, об'єднані в LAB-модулі (Logic Array Block) по вісім елементів у кожному. Відмінною рисою FLEX-пристроїв є те, що матриця перемикачів реалізована у вигляді горизонтальних і вертикальних каналів з'єднань (каналів трасування). Це дозволило значно зменшити площу кристала, займаного матрицею переключень, без істотного зниження властивостей CPLD. Елементи вводу-виводу (ЕВВ) IOE (Input / Output Element), що обслуговують зовнішні висновки, приєднуються безпосередньо до каналів з'єднань. До цього класу належать ПЛІС сімейств FLEX600, FLEX8000, MAX9000, FLEX10K фірми Altera. Узагальнена функціональна схема ПЛІС типу FLEX наведена на рис. 4. В основі архітектури лежать логічні блоки, що містять вісім логічних елементів (ЛЕ) і локальну матрицю з'єднань (ЛМС). Глобальна матриця з'єднань (ГМС) розділена на рядки та стовпці, має безперервну структуру (Fast Track Interconnect). Посередині рядки розташовуються вбудовані блоки пам'яті (ВВП). Крім того, є глобальні ланцюги управління, синхронізації та управління введенням-висновком.

Подальший розвиток архітектур йде по шляху створення комбінованих архітектур, поєднують зручність реалізації алгоритмів ЦОС на базі LUT і реконфігурованих модулів пам'яті, характерних для FPGA-структур і багаторівневих ПЛІС із зручністю реалізації на CPLD-архітектурах. Так, ПЛІС APX20K фірми Altera містять в собі логічні елементи всіх перерахованих типів, що дозволяє застосовувати ПЛІС як основну елементарну базу для «систем на кристалі» (system-on-chip, SOC, SoC)(рис. 5.).

SOC — дизайн електронної схеми, яка вміщує функціональні складові цілого пристрою (наприклад комп'ютера) на одній мікросхемі. В залежності від призначення SoC може оперувати як цифровими сигналами, так і аналоговими, аналого-цифровими, а також частотами радіодіапазону. Типовим застосуванням таких схем є широке різноманіття вбудованих систем.

Типова SoC вміщує: мікроконтролер, мікропроцесор чи процесор цифрових сигналів. Деякі схеми обладнані більш ніж одним процесором, тоді їх ще називають MPSoC (Multiprocessor System-on-Chip), блок пам'яті, який може працювати із такими типами пам'яті: ROM, RAM, EEPROM та флеш, джерело опорної частоти, наприклад кварцеві генератори та ланцюги з оберненим зв'язком (phase-locked loops – цифрова система фазової автопідстройки частоти), таймери, лічильники та ланцюги затримок після вимкнення, стандартні інтерфейси для зовнішніх пристроїв: USB, FireWire, Ethernet, UART, SPI, входи та виходи цифро-аналогових і аналого-цифрових перетворювачів, регулятори напруги та стабілізатори живлення.

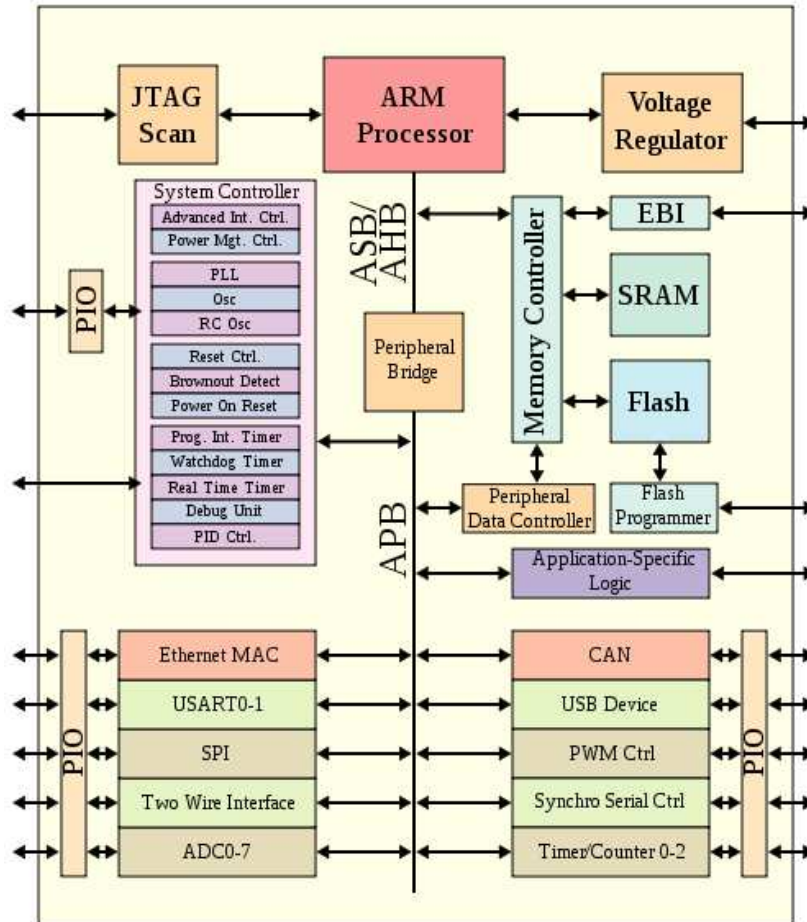


Рис. 5. Система на кристалі побудована на мікроконтролерах

**Висновки.** Різноманіття застосувань ПЛІС в цифровій схемотехніці пов'язано з переходом від інтегральних мікросхем малої і середньої ступені інтеграції до великих і надвеликих інтегральних мікросхем.

Внаслідок швидкого зростання складності електронних схем все частіше потрібно застосовувати високоінтегровані інтегральні мікросхеми. Програмування ПЛІС здійснюється самим користувачем, конструктором апаратури. У результаті програмування в схему вносяться оборотні чи незворотні (з точки зору можливості подальшого перепрограмування) зміни вихідної структури ПЛІС. Основне призначення ПЛІС - заміна логічних серій інтегральних мікросхем з малої та середньої ступенями інтеграції. Залежно від рівня складності одна сучасна ПЛІС може функціонально замінити від 5 до 60 і більше інтегральних мікросхем малої і середньої ступенів інтеграції.

1. Соловьев В. В. Проектирование цифровых систем на основе программируемых логических интегральных схем. –М.: Горячая линия – Телеком, 2001. – 636 с.
2. Стешенко В. Б. ПЛИС фирмы «Альтера»: элементная база, система просмотра и языки описания аппаратуры. – М.: Издательский дом «Додека – XXI», 2002. – 575 с.
3. Тарасов И. Е. Разработка цифровых устройств на основе ПЛИС Xilinx с применением языка VHDL. –М.: Горячая линия – Телеком, 2005. – 252 с.
4. Зотов В. Ю. Проектирование встраиваемых микропроцессорных систем на основе ПЛИС фирмы Xilinx. –М.: Горячая линия – Телеком, 2006. – 520 с.
5. Тарасов И. Е. Система на кристалле на базе FPGA Xilinx со встроенными процессорами PowerPC // Компоненты и технологии. – №7. –2005. – 62 – 67 с.
6. <http://ru.wikipedia.org/wiki/CPLD>
7. <http://fpga.parallel.ru/cpld.html>
8. [http://www.compitech.ru/html.cgi/arhiv/01\\_05/stat\\_12.htm](http://www.compitech.ru/html.cgi/arhiv/01_05/stat_12.htm)
9. <http://uk.wikipedia.org/wiki/%D0%9F%D0%9B%D0%86%D0%A1>