

УДК 681.513.2

О.І.Рязанцев, В.С.Кардашук

Технологічний інститут Східноукраїнського національного університету імені Володимира Даля  
(м. Сєверодонецьк)

## ЗАСТОСУВАННЯ ПРОГРАМОВАНИХ ЛОГІЧНИХ ІНТЕГРАЛЬНИХ СХЕМ В ІНТЕРФЕЙСНІЙ ЧАСТИНІ БАГАТОКАНАЛЬНИХ БЛОКІВ ВВОДУ-ВИВОДУ

*Розглянуто застосування програмованих логічних інтегральних схем в інтерфейсній частині багатоканальних блоків вводу-виводу для використання в системах керування технологічними процесами та екологічного моніторингу. Наведені переваги їх використання та методика програмування.*

Ключові слова: багатоканальні блоки вводу-виводу, інтерфейс, програмно-логічні матриці.

**Актуальність проблеми.** Сучасні контролери на базі стандартних процесорів для керування технологічними процесами (ТП), в тому числі і в системах екологічного моніторингу [1], містять в собі тільки два послідовних порти. В таких системах часто виникають задачі підключення газоаналізаторів та інших приладів з інтерфейсом RS-232/RS-422/RS-485 до центрального процесора, де такої кількості портів недостатньо (рис. 1) [2].

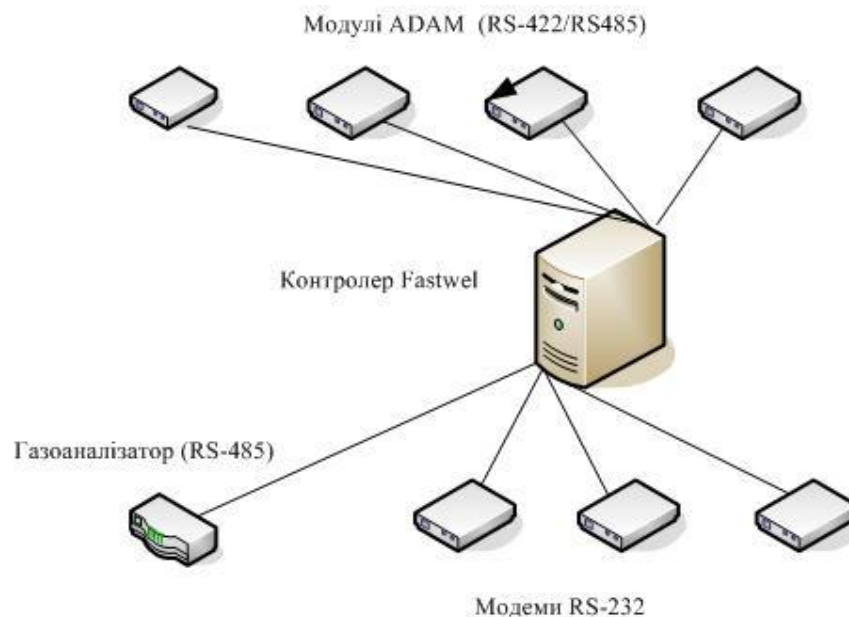


Рис. 1. Застосування багатоканальних блоків вводу-виводу

**Аналіз останніх досліджень та публікацій.** Лідерами в області багатоканальних блоків для застосування в персональних комп'ютерах (ПК) є фірми Cyclades, Мох, Digi. Серед характеристик впливають на вибір таких блоків, що пропонуються сьогодні виробниками, можна виділити такі, як кількість каналів, що підключаються – 4, 8, 16, тип системної шини, що використовується – ISA, PCI, швидкість роботи по порту, об'єм буфера FIFO (16, 64 або 128 байт).

Якщо ж мова йде про програмно-технічні комплекси (ПТК) або контролери для керування ТП, то тут різноманітність інтерфейсів більша. В цьому випадку виникає необхідність в розробленні блоку, відповідно до інтерфейсу ПТК або контролеру.

Результати проведених досліджень використання багатоканальних блоків вводу-виводу для застосування в системах керування ТП опублікована в [1,2].

На даний час кількість портів в одному корпусі комунікаційних мікросхем (UART) фірми Texas Instruments збільшилась до 4-х, а ємність буфера FIFO збільшилась до 64 байт, з'явилися

нові можливості щодо використання програмованих логічних інтегральних схем (PLD – Program Logic Devices) фірми Atmel, що дало можливість застосувати їх для модернізації багатоканальних блоків вводу-виводу для прийому інформації від об'єкта контролю і передачі її на верхній рівень по виділених лініях зв'язку або лініям, що комутуються.

**Рішення задачі.** Рішенням даної проблеми є використання багатоканальних блоків вводу-виводу в основі яких лежить застосування комунікаційних мікросхем TL16C754C фірми Texas Instruments.

Активна співпраця Технологічного інституту Східноукраїнського національного університету ім. В. Даля (м. Сєверодонецьк) та ТОВ «НВП «Уніконт» (м. Сєверодонецьк) дозволила виконати розроблення та впровадження у виробництво модернізованих 8-канальних блоків вводу-виводу з інтерфейсами RS-232/RS-422/RS-485.

Розроблений 8-канальний блок вводу-виводу для застосування в контролерах Fastwel з інтерфейсом MicroPC дозволяє підключити до 8 каналів прийому/передачі даних по інтерфейсу RS-232/RS-422/RS-485.

Структурно 8-канальний блок вводу-виводу складається з інтерфейсної, комунікаційної та вихідної частини.

На рис. 2 наведено фрагмент інтерфейсної частини 8-канального блоку вводу-виводу.

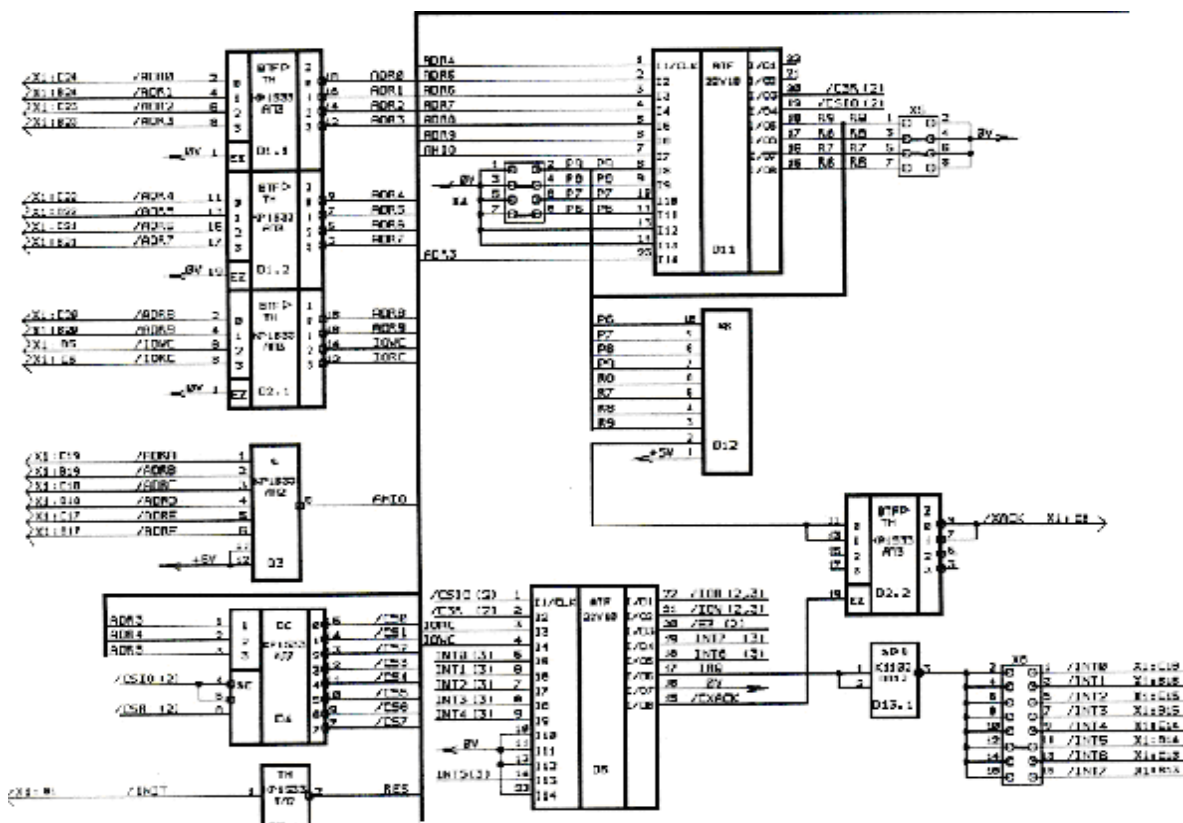


Рис. 2. Фрагмент інтерфейсної частини 8-канального блоку вводу-виводу

У блоці вводу-виводу реалізовані дві найбільш поширені архітектури асинхронних блоків – ARNET та DigiBoard PC/8. Звернення до блоку зі сторони центрального процесора проводиться командами вводу-виводу. Обмін інформацією з блоком проводиться байтами. Базова адреса порту вводу-виводу обирається за допомогою переминок. При програмуванні UART програмуються 8 доступних регістрів в кожному з каналів мікросхеми. Програмування полягає у встановленні необхідних параметрів регістрів, швидкості передачі каналу, розміру буфера FIFO, рівня пріоритету переривання і т. д.

Основні особливості інтерфейсу контролерів Fastwel – всі діючі сигнали на інтерфейсі (адреса, дані, команди, переривання і т.д.) видаються і приймаються низьким рівнем напруги – логічним "0". Сигнал підтвердження /XACK видається приймачем у разі порівняння адреси порту вводу-виводу і звернення командою до даного блоку. У разі відсутності на інтерфейсі приймача

сигналу через 10 мкс операція завершується зняттям команди і переходом до виконання наступної команди. Таким чином, вирішується проблема "зависання" команди.

Останні досягнення в області виробництва мікросхем дозволили застосувати в інтерфейсній частині мікросхеми PLD ATF22V10B фірми Atmel, за допомогою яких реалізовані такі вузли блоку, як дешифратор адреси базового порту вводу-виводу та адреси регістра переривань (рис. 3), схема керування роботою блоку та логіка переривань (рис. 4).

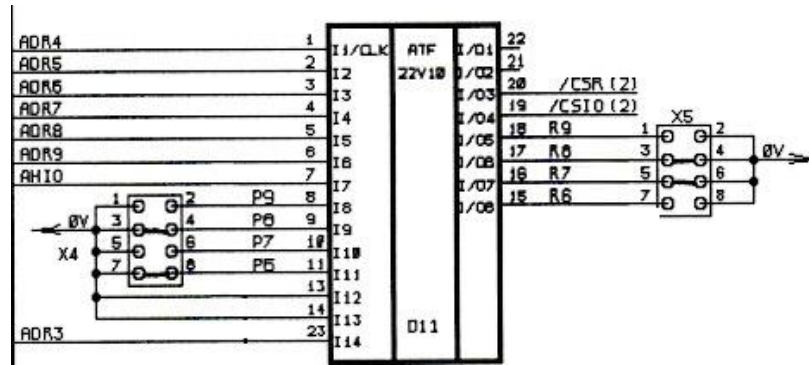


Рис. 3. Використання PLD в якості дешифратора

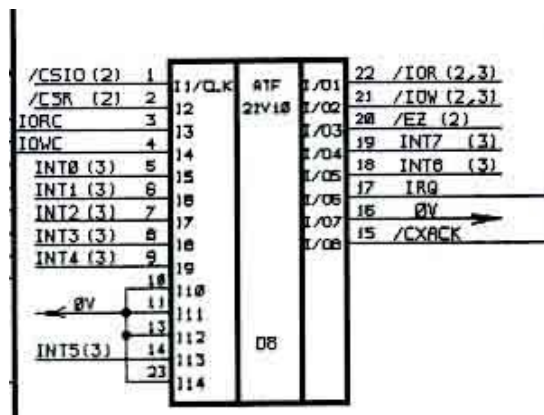


Рис. 4. Використання PLD в якості схеми керування

При складанні рівнянь для PLD розробнику не потрібно наводити рівень вхідного сигналу до необхідного значенням в рівнянні – логічний "0" або "1". Достатньо в самому рівнянні вказати необхідний рівень для вироблення необхідного значення. Одна змінна рівняння може містити до 7 значень по 7 вхідних змінних. Якщо такої кількості недостатньо, сигнал з вихідного контакту PLD знову надходить в матрицю і служить загальною змінною для наступного рівняння. При такому підході нарощуються можливості при складанні складних рівнянь, що містять більше 7 значень у рівнянні.

PLD значно скорочують час при проектуванні блоків, спрощують розведення друкованої плати, що є безумовними перевагами. Такий сучасний підхід застосовується при проектуванні блоків і для інших інтерфейсів.

Програмування PLD полягає у складанні рівнянь, моделюванні (якщо необхідно), отриманні файлу програмування (в даному випадку для мікросхеми ATF22V10B). Програмування рівнянь здійснюється в середовищі системи автоматизації проектування (CAIP) PLDShell Plus фірми Intel відповідно до вимог мови асемблера PLDasm.

Мовою PLDasm логічні схеми подаються у вигляді стандартних ASCII-файлів. У цих файлах містяться лише коди ASCII. Будь-який файл PLDasm повинен мати секцію оголошення (Declaration section) і, принаймні, одну з таких секцій: секцію рівнянь (Equation), автомата (State Machine) або таблиці істинності (Truth Table), причому останні дві можуть зустрічатися неодноразово. Крім того, у файлі PLDasm може бути присутнім секція моделювання. CAIP PLDShell Plus, володіє всіма функціями, необхідними для розробки, тестування і налаштування логічних схем.

"Занурення" рівнянь в PLD може здійснювати, наприклад, за допомогою програми FlexPro і програматора.

Серед недоліків пакету PLDShell слід відзначити відсутність режиму графічного програмування логічної схеми з заздалегідь створені компонент, що сильно погіршує дружельюбність інтерфейсу користувача на етапі розробки і налаштування PLD. Даний САПР надає можливість перегляду результатів роботи запрограмованої схеми у вигляді часових діаграм або таблиці істинності. Для роботи з PLD фірми Atmel можна використовувати і більш потужний інструмент САПР такий як MAX + PLUS фірми Altera.

Для складання рівнянь може бути використаний будь-який текстовий редактор. Текстового файлу присвоюється розширення \*.pds, який служить вихідним об'єктом для роботи в PLDShell або MAX + PLUS. При моделюванні рівнянь можна отримати файл часової діаграми роботи – \*.hst і, як кінцевий результат, файл запису – \*.jed.

Типовий процес розробки схем на PLD включає наступні етапи.

1. Формується вихідний файл опису, що містить булеві рівнянь, таблиць істинності, синтаксис опису автоматів, а також синтаксис функціонального моделювання.

2. Файл оброблюється логічним компілятором, в результаті чого формується файл опису схеми у форматі JEDEC. Компілятор визначає біти в цьому файлі, які встановлюють або розривають з'єднання в логічному масиві і задають програмовані функції виходів. В процесі обробки може виконуватися моделювання.

3. Файл формату JEDEC використовується для програмування PLD цільового застосування.

Процес редагування, компіляції, моделювання, перегляду повторюється до тих пір, поки не буде досягнута мета проектування. Цикл розробки завершується програмуванням PLD.

Нижче наведений приклад створення файлу \*.pds використання PLD в якості схеми керування (див. рис. 4), що відповідає вимогам пакету PLDShell.

; Секція оголошення

```
TITLE ATF22V10B ; Визначення мікросхеми ATF22V10B фірми Atmel
PATTERN BVV13 ; Блок БВВ13
REVISION VER.1
AUTHOR Ryazancev_Kardashuk
OPTION
    TURBO ON ; Режим TURBO включений
    SECURITY OFF ; Режим секретності виключений
CHIP MVV AT22V10B
```

; Мікросхема D8

; Секція оголошення вхідних контактів

```
Pin 1 CSIO ; Сигнал порівняння адреси порту
Pin 2 CSR ; Сигнал порівняння регістру переривань
Pin 3 IORC ; Команда читання з інтерфейсу
Pin 4 IOWC ; Команда запису з інтерфейсу
Pin 5 INT0 ; Сигнали переривань від комунікаційних каналів
Pin 6 INT1 ; комунікаційних каналів мікросхеми TL16C554FN
Pin 7 INT2 ;
Pin 8 INT3 ;
Pin 9 INT4 ;
Pin 11 INT5 ;
Pin 14 INT6 ;
Pin 15 INT7 ;
```

; Секція оголошення вихідних контактів

```
Pin 12 NC ; Нема з'єднання
Pin 13 IRQ ; Сигнал переривання до центрального процесора
Pin 16 EZ ; Дозвіл на читання регістра переривань
```

Pin 17 IOW ; Сигнал запису в TL16C554FN  
Pin 18 IOR ; Сигнал читання з TL16C554FN  
Pin 19 CXACK ; Сигнал для запуску підтвердження звернення до блоку

; Секція рівнянь

#### EQUATIONS

$$IRQ = INT0 + INT1 + INT2 + INT3 + INT4 + INT5 + INT6 + INT7$$

$$IOW = / (/CSIO \cdot IOW)$$

$$EZ = / (/CSR \cdot IORC)$$

$$IOR = / ((/ CSIO + / CSR) \cdot IORC)$$

$$CXACK = / ((/CSIO + /CSR) \cdot IORC + / CSIO \cdot IOWC)$$

Знак "/" перед найменуванням сигналу означає, що сигнал входить у рівняння низьким рівнем.

Застосовувати PLD доцільно при заміні звичайних інтегральних схем малої і середньої ступенів інтеграції. При цьому значно зменшуються розміри пристрою, знижується споживана потужність і підвищується надійність.

PLD навіть середньої ступені інтеграції, як, наприклад, у даному випадку AT22V10B (24 контакти), замінює, як правило, до 10-15 звичайних інтегральних мікросхем.

Слід зазначити, що розроблений блок є комбінованим пристроєм, тобто «на борту» блоку у вихідній частині присутні мікросхеми, що відповідають за передачу по інтерфейсах RS-232, RS-422 та RS-485. Замовник перемичками обирає необхідний йому інтерфейс.

**Висновки.** В ході виконання поставленої задачі проведена модернізація 8-канального блоку вводу-виводу з інтерфейсами RS-232/RS-422/RS-485 з застосування сучасної елементної бази та новітніх технологій розроблення блоків для застосування в системах керування ТП та екологічного моніторингу. Застосування в інтерфейсній частині PLD дозволило скоротити кількість мікросхем логіки, зменшити затримки розповсюдження сигналів, довжину провідників та спростити подальше конструювання друкованої плати. Завдяки повній апаратній сумісності блок програмно підтримується всіма поширеними операційними системами (Windows, QNX, Linux) та підтримує такі поширені протоколи передачі даних як V90, K56 Flex, V34, V34 bis, V32, V32 bis, V21, V22, V23 та ряд інших.

1. Рязанцев А. И. Система экологического мониторинга окружающей среды / А. И. Рязанцев, В. С. Кардашук // Радиоэлектроника, информатика, управління. – Запоріжжя : Вид-во ЗНТУ. – 2006. – № 2(16). – С. 128-132.
2. Рязанцев А. И. Применение современных технологий при проектировании многоканальных блоков ввода-вывода для систем экологического мониторинга / А. И. Рязанцев, В. С. Кардашук // Системы контроля и управления технологическими процессами: сб. науч. статей ; под общей ред. В.В. Елисеева. – Луганск: Вид-во «Світлиця», 2006. – 440 с. с рис., табл. – С. 258-265.