

УДК 004.33

А.О. Мельник, В.А. Мельник

Національний університет «Львівська політехніка»

РЕАЛІЗАЦІЯ В ПЛІС ПАМ'ЯТІ З ВПОРЯДКОВАНИМ ДОСТУПОМ З ПАРАЛЕЛЬНИМ НАДХОДЖЕННЯМ ДАНИХ ТА ІНДЕКСІВ

Наведено класифікаційні ознаки пам'яті з впорядкованим доступом та запропоновано на їх основі реалізацію в ПЛІС пам'яті з впорядкованим доступом з паралельним надходженням даних та індексів. Розроблено програмну модель цієї пам'яті, проведено моделювання її роботи та виконано її синтез. Наведено результати реалізації цієї пам'яті в ПЛІС фірми Xilinx.

Ключові слова: паралельна пам'ять, багатопортова пам'ять, пам'ять з впорядкованим доступом, ПЛІС.

Вступ

В роботах [1-4] запропоновано методи побудови та структурну організацію пам'яті з впорядкованим доступом (ПВД). Пам'ять з впорядкованим доступом орієнтована на роботу з масивами даних. В цій пам'яті забезпечується доступ до даних у наперед встановленому порядку, що вказує місце даного у вихідному масиві.

Вхідні дані записують до ПВД з l портів рядками матриці

$$\begin{pmatrix} ID_{0,0} & ID_{0,1} & \dots & ID_{0,l-1} \\ ID_{1,0} & ID_{1,1} & \dots & ID_{1,l-1} \\ \dots & \dots & \dots & \dots \\ ID_{k-1,0} & ID_{k-1,1} & \dots & ID_{k-1,l-1} \end{pmatrix}, \quad (1)$$

де $ID_{i,j}$ – вхідне дане, яке знаходиться в i -му рядку ($i = 0, 1, \dots, k-1$) та j -му стовпці ($j = 0, 1, \dots, l-1$) матриці вхідних даних.

Вихідні дані зчитують з ПВД на n портів рядками матриці

$$\begin{pmatrix} OD_{0,0} & OD_{0,1} & \dots & OD_{0,n-1} \\ OD_{1,0} & OD_{1,1} & \dots & OD_{1,n-1} \\ \dots & \dots & \dots & \dots \\ OD_{m-1,0} & OD_{m-1,1} & \dots & OD_{m-1,n-1} \end{pmatrix}, \quad (2)$$

де $OD_{s,t}$ – вихідне дане, яке знаходиться в s -му рядку ($s = 0, 1, \dots, m-1$) та t -му стовпці ($t = 0, 1, \dots, n-1$) матриці вихідних даних.

Матриця індексів, які привласнюють кожному даному, та за їх значенням впорядковують дані, має вигляд

$$\begin{pmatrix} SID_{0,0} & SID_{0,1} & \dots & SID_{0,l-1} \\ SID_{1,0} & SID_{1,1} & \dots & SID_{1,l-1} \\ \dots & \dots & \dots & \dots \\ SID_{k-1,0} & SID_{k-1,1} & \dots & SID_{k-1,l-1} \end{pmatrix}, \quad (3)$$

де $SID_{i,j}$ – індекс вхідного даного $ID_{i,j}$, яке знаходиться в i -му рядку ($i = 0, 1, \dots, k-1$) та j -му стовпці ($j = 0, 1, \dots, l-1$) матриці вхідних даних.

Матриця індексів може надходити до ПВД разом з даними, або на її основі задалегідь формують код впорядкування, який разом з даними також подають до ПВД.

Пам'ять з впорядкованим доступом є багатопортовою. Вона забезпечує: запис даних з портів, зберігання записаних даних, впорядкування записаних даних відповідно до числових значень індексів, які поступають з даними та визначають їх місце в масиві вихідних даних, або відповідно до числового значення коду впорядкування, зчитування впорядкованих даних на порти.

ПВД може використовуватися як буферна багатопортова пам'ять, багатопортова пам'ять процесора, багатопортова пам'ять багатопроцесорної системи тощо. При цьому місце застосування ПВД визначається її класифікаційними ознаками, зокрема, наступними:

- розділені чи об'єднані входи і виходи даних;
- паралельне чи послідовне надходження даних та індексів або коду впорядкування, що передбачає налаштування ПВД перед виконанням впорядкування даних;
- впорядкування даних здійснюється за значенням їх індексів чи за кодом впорядкування.

Відповідно до цих ознак можна запропонувати ряд типів пам'яті з впорядкованим доступом, серед яких – ПВД з паралельним надходженням даних та індексів.

В даній статті пропонується реалізація в програмовних логічних інтегральних схемах (ПЛІС) ПВД з паралельним надходженням даних та індексів, наводиться її структура, виконується її моделювання та робиться оцінка результатів її синтезу.

1. ПВД з паралельним надходженням даних та індексів та опис її інтерфейсу

ПВД з паралельним надходженням даних та індексів має l входів та n виходів даних (рис.1). Ця пам'ять є паралельною, оскільки в режимі запису дозволяє одночасно записувати l даних, що складають рядок матриці вхідних даних, а також в режимі зчитування одночасно зчитувати n даних, що складають рядок матриці вихідних даних. Основною відмінною рисою цієї пам'яті, яка відрізняє її від інших типів ПВД, є те, що вхідні дані та їх індекси надходять до пам'яті одночасно окремими входами. Тут зображено два варіанти ПВД – з розділеними (ліворуч) та об'єднаними (праворуч) входами та виходами даних.

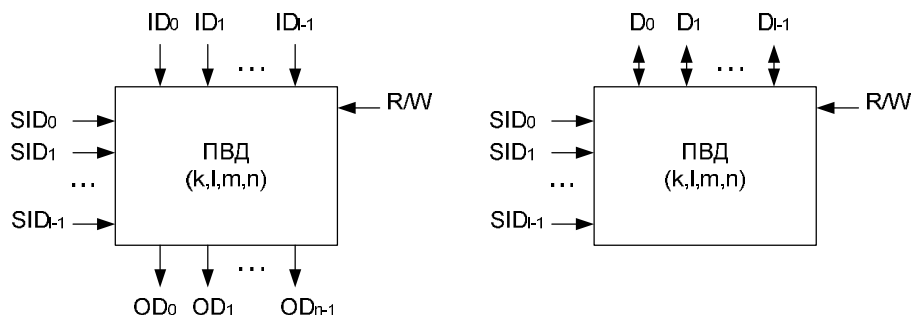


Рис.1. Інтерфейс ПВД з паралельним надходженням даних та індексів з розділеними та об'єднаними входами і виходами даних.

Зважаючи на подібність зовнішніх інтерфейсів та внутрішньої структури наведених типів ПВД, в даній статті обмежимося реалізацією ПВД з паралельним надходженням даних та індексів з розділеними входами і виходами даних.

При розробленні ПВД постає завдання вибору її характеристик, а саме:

- кількості входів даних, що дорівнює кількості стовбців l в матриці вхідних даних;
- кількості входів індексів, що дорівнює кількості стовбців l в матриці індексів;
- часу введення даних T_{in} , який можна визначити як $T_{in} = k \cdot t_{clk}$, де k – кількість рядків в матриці вхідних даних, яка відповідає кількості тактів запису даних до ПВД, t_{clk} – тривалість такту читання/запису даних в ПВД;
- кількості виходів даних, що дорівнює кількості стовбців n в матриці вихідних даних;
- часу виведення даних T_{out} , який можна визначити як $T_{out} = m \cdot t_{clk}$, де m – кількість рядків в матриці вихідних даних, яка відповідає кількості тактів читання даних з ПВД, t_{clk} – тривалість такту читання/запису даних в ПВД;
- розрядності даних N ;
- ємності, яка рівна $Q = (k \cdot l) \cdot N = (m \cdot n) \cdot N$.

З метою перевірки роботоздатності ПВД з паралельним надходженням даних та індексів при забезпеченні простоти виконання моделювання та синтезу було вибрано наступні її характеристики: $l = 4$, $m = 4$, $k = 2$, $n = 2$, розрядність даних $N = 8$ бітів, ємність $Q = 64$ біти. Розрядність індексів S визначено з виразу $S = \log_2(m \cdot n) = \log_2(k \cdot l) = 3$.

Опис мовою VHDL інтерфейсу цієї ПВД наведено на рис.2.

```

ENTITY pvd IS
  PORT(
    D_in_0 : in std_logic_vector (7 downto 0);
    D_in_1 : in std_logic_vector (7 downto 0);
    D_in_2 : in std_logic_vector (7 downto 0);
    D_in_3 : in std_logic_vector (7 downto 0);

    M_in_0 : in std_logic_vector (2 downto 0);
    M_in_1 : in std_logic_vector (2 downto 0);
    M_in_2 : in std_logic_vector (2 downto 0);
    M_in_3 : in std_logic_vector (2 downto 0);

    CLK      : in std_logic;
    W        : in std_logic;
    R        : in std_logic;

    D_out_0 : out std_logic_vector (7 downto 0);
    D_out_1 : out std_logic_vector (7 downto 0)
  );
END pvd ;
    
```

Рис.2. Опис мовою VHDL інтерфейсу ПВД з паралельним надходженням даних та індексів.

На основі цього опису з використанням середовища проектування Xilinx ISE 13.2 було виконано синтез ПВД з паралельним надходженням даних та їх індексів, графічне позначення інтерфейсу якої показано на рис.3.

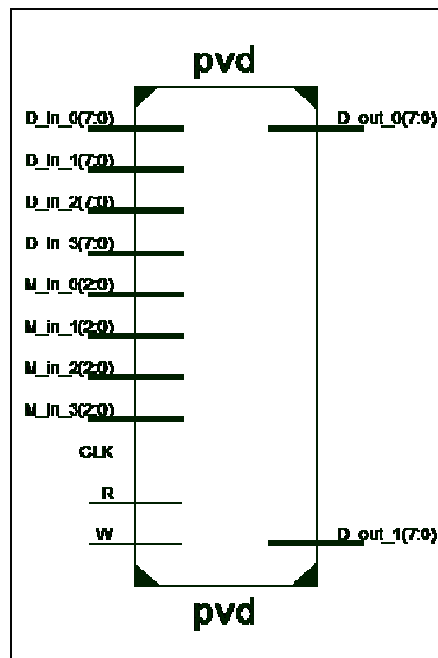


Рис.3. Графічне позначення інтерфейсу ПВД з паралельним надходженням даних та індексів.

Тут $D_in_0 - D_in_3$ – чотири вхідні порти восьмирозрядних даних, $M_in_0 - M_in_3$ – чотири вхідні порти трирозрядних індексів, W – сигнал запису даних, R – сигнал читання даних, D_out_0, D_out_1 – два вихідні порти впорядкованих восьмирозрядних даних, CLK – сигнал синхронізації.

2. Архітектурний опис ПВД з паралельним надходженням даних та індексів

На рис.4 наведено схему ПВД з паралельним надходженням даних та індексів, синтезовану з архітектурного опису мовою VHDL в програмному середовищі Xilinx ISE 13.2.

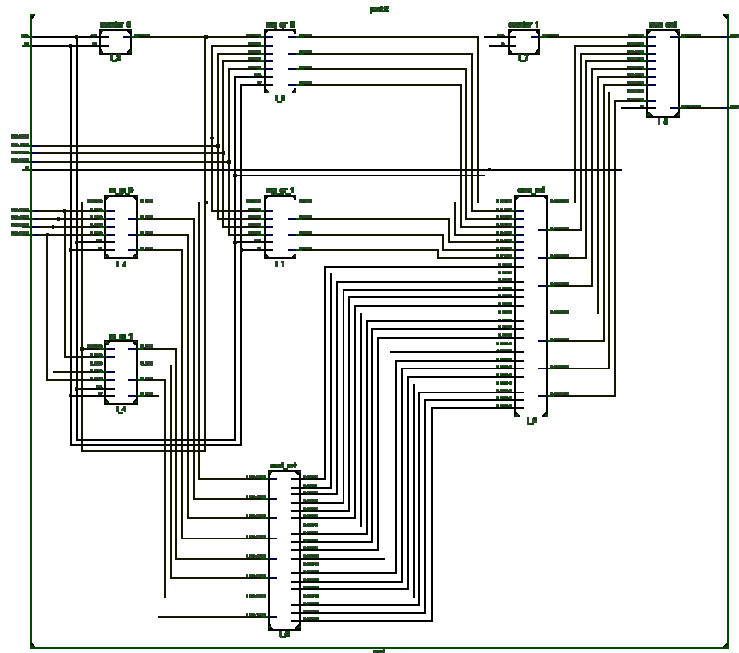


Рис.4. Схема ПВД з паралельним надходженням даних та індексів, отримана в результаті синтезу засобами Xilinx ISE 13.2.

Відповідно до схемотехнічних рішень, запропонованих в роботі [1], головними складовими блоками синтезованої ПВД, наведеної на рис.4, є: запам'ятовуюче середовище даних та запам'ятовуюче середовище індексів, побудовані на основі регістрів, сортувальна мережа, комутуюча мережа, лічильник запису, лічильник читання та модуль видачі результатів.

3. Моделювання роботи ПВД з паралельним надходженням даних та індексів

Часова діаграма роботи ПВД з паралельним надходженням даних та індексів наведена на рис.5.

На діаграмі показано процес запису до ПВД матриці вхідних даних

$$\begin{vmatrix} 06 & 05 & 02 & 0A \\ 0D & 01 & 05 & 15 \end{vmatrix} \quad (4)$$

та матриці їх індексів

$$\begin{vmatrix} 2 & 6 & 4 & 0 \\ 1 & 7 & 5 & 3 \end{vmatrix}, \quad (5)$$

та процес зчитування матриці вихідних даних

$$\begin{vmatrix} 01 & 05 \\ 05 & 02 \\ 15 & 06 \\ 0D & 0A \end{vmatrix}, \quad (6)$$

впорядкованих в ПВД відповідно до значень їх індексів.

З часової діаграми видно відповідність роботи даної ПВД запропонованим в роботах [1-4] принципам.

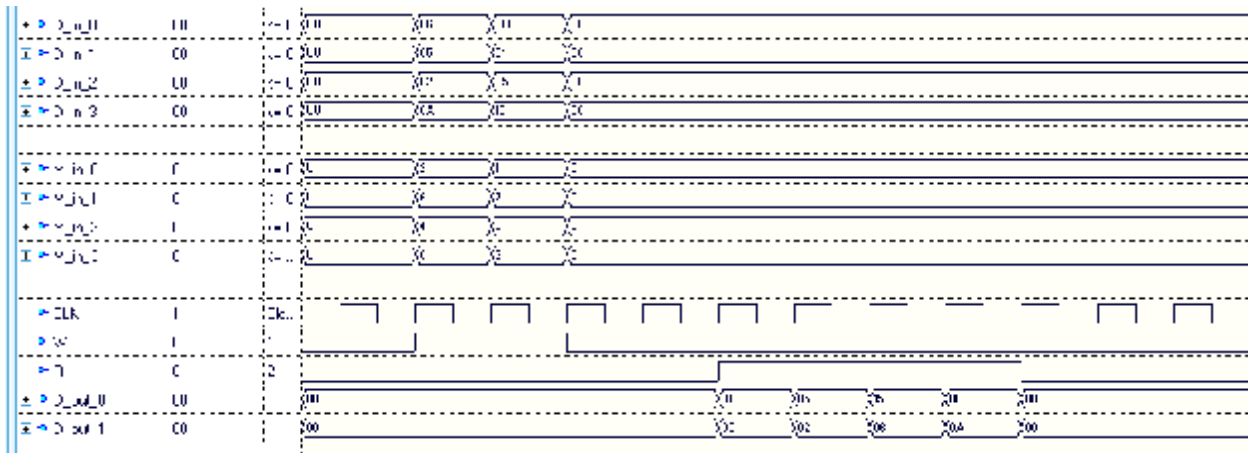


Рис.5. Часова діаграма роботи ПВД з паралельним надходженням даних та індексів.

4. Реалізація в ПЛІС програмної моделі ПВД з паралельним надходженням даних та індексів

В табл.1 наведено фрагмент звіту про результати синтезу в ПЛІС 4vfx100ff1517-12 фірми Xilinx розробленої вище ПВД з паралельним надходженням даних та індексів, отриманого при використанні засобів Xilinx ISE 13.2. В даному кристалі ПВД з наведеними вище характеристиками займає $\approx 0,7\%$ логічних комірок, що означає, що в ньому можна розмістити таку пам'ять великої ємності, причому, виходячи з структурної організації ПВД [1], ємність не матиме впливу на її частоту.

Таблиця 1.

Результати синтезу в ПЛІС 4vfx100ff1517-12 фірми Xilinx ПВД з паралельним надходженням даних та індексів

Selected Device : 4vfx100ff1517-12			
Number of Slices:	295	out of 42176	0%
Number of Slice Flip Flops:	96	out of 84352	0%
Number of 4 input LUTs:	526	out of 84352	0%
Number of IOs:	63		
Number of bonded IOBs:	63	out of 768	8%
Number of GCLKs:	1	out of 32	3%
Minimum period: 1.247ns (Maximum Frequency: 802.137MHz)			

Видно, що теоретично досягається частота роботи ПВД 802.137 МГц, тобто дана пам'ять може працювати на максимальній частоті ПЛІС, яка приблизно становить 250-300 МГц, а такий показник при великих значеннях l і n забезпечить продуктивність, недосяжну для інших типів пам'яті.

Висновки

Розроблено програмну модель ПВД з паралельним надходженням даних та індексів та програмні моделі її складових елементів.

Проведено синтез програмної моделі ПВД з паралельним надходженням даних та індексів з використанням мови VHDL та отримано відповідні схемотехнічні рішення.

Проведено моделювання роботи ПВД з паралельним надходженням даних та індексів та показано коректність її функціонування.

Здійснено реалізацію в ПЛІС програмної моделі розробленої пам'яті з впорядкованим доступом з паралельним надходженням даних та індексів та проведено оцінку досягнутих характеристик.

1. Мельник А.О. Структурна організація пам'яті з впорядкованим доступом на основі сортувальних мереж / Мельник А.О., Аль Равашдех Д.Х. // Науково-технічний журнал "Радіоелектронні і комп'ютерні системи". – Харків: Національний аерокосмічний університет ім М.С. Жуковського «ХАІ», 2010. - № 6 (47). - С. 15-19.
2. Melnyk. Organization and application of the programmable ordered access memory / A. Melnyk, J. Al Rawashdeh, M. Al Hababsah // Proceedings of Xth International Conference "The Experience of Designing and Application of CAD Systems in Microelectronics". - Polyana-Svalyava, Lviv Polytechnic National University, 2009. P 240-241.
3. Мельник А.О. Принципи побудови буферної сортувальної пам'яті. Вісник Державного університету "Львівська політехніка" "Комп'ютерна інженерія та інформаційні технології", N307, 1996, с.65-71.
4. Мельник А.О. Спеціалізовані комп'ютерні системи реального часу. – Львів: НУ „Львівська політехніка”, 1996. – 60 с.