

АНАЛІЗ ЕФЕКТИВНОСТІ АЛГОРИТМУ КОМУТАЦІЇ ПАКЕТІВ У NOC З ВРАХУВАННЯМ ІНФОРМАЦІЇ ПРО СТАНИ ЕЛЕМЕНТІВ

Розглядається алгоритм роботи мережі на кристалі для підвищення її продуктивності на основі використання буферизації та вибору вузлів, що знаходяться найближче до кінцевого вузла

Ключові слова: *мережі на кристалі, динамічні топології, маршрутизація, алгоритм комутації пакетів.*

Постановка проблеми.

Початок нашого століття ознаменувався новими успіхами в області мікроелектроніки, які забезпечили отримання достатньо великої кількості вентилів на кристалі, що, в свою чергу, дало змогу створювати багатопроцесорні комп'ютерні системи в межах одної НВІС, що отримали назву System on a Chip (SoC). Подальшим кроком було створення мережі на кристалі (МНК, Network on a chip (NOC) [1]), що складається з сукупності обчислювальних елементів, запам'ятовуючих пристроїв, пристроїв введення-виведення, об'єднаних за допомогою комунікаційного середовища. Обчислювальними елементами є мікропроцесори, які можуть бути як однотипними, так і різнотипним. Треба зазначити, що структура МНК є подібною до структури ПЛІС, проте передача інформації між компонентами системи виконується пакетами даних.

Прикладом вдалої практичної реалізації мереж на кристалі є продукція фірми SONICS. Вона розробила технологію Smart Interconnects, яка передбачає наявність спеціалізованого комунікаційного середовища з контролем типових сигналів, відоме як SiliconBackplane™II. Недоліком є те, що ця технологія є недоступною для широкого застосування, а лише для систем фірми SONICS.

Для загального застосування була створена комунікаційне середовище WISHBONE. Архітектура WISHBONE вирішує фундаментальні проблеми задачі проектування інтегральних схем, а саме, як з'єднати поміж собою схемно реалізовані функції системи в спосіб, що є нескладним, гнучким і портативним (пересувним). Схемно реалізовані функції залучають до проекту в формі так званих інтелектуальних ядер ('IP Cores' - Intellectual Property Cores). WISHBONE IP перетворюються на будівельні блоки, з яких монтують систему.

Проте, створення мереж на кристалі ще не набуло очікуваного стрімкого розвитку, мабуть через те, що просте копіювання рішень з організації обміну даними в глобальних та локальних мережах для мереж на кристалі не забезпечує потрібної їх ефективності. Виникає задача створення нових високоєфективних способів комутації пакетів даних в NOC.

Аналіз останніх досліджень та публікацій.

Створення мереж на кристалі велося в різних напрямках. Основна увага приділялася дослідженню та розробці архітектури таких мереж [1-5], топологій мереж [6,7], структурним елементам – адаптерам, рутерам, комутаторам [8,9], питанням буферизації [10,11] та оптимізації часу передачі пакетів [12-14].

В роботах [15-17] розглядаються адаптивні алгоритми маршрутизації з використанням відомостей про завантаження трафіку та побудова відповідних комутаторів. Попри те, запропоновані рішення практично вдосконалювали можливості класичних комп'ютерних мереж, не в повній мірі враховували особливості та вимоги до мереж на кристалі та не проводили аналіз їх ефективності.

Метою дослідження даної роботи є проведення аналізу ефективності тих алгоритмів комутації пакетів у NoC з матричною топологією, що враховують інформацію про стани елементів комутації трафіку.

Особливості матричної топології. На наш погляд, основними особливостями комунікаційних середовищ мереж на кристалі є такі.

1. Пакети даних, які передаються комунікаційним середовищем мереж на кристалі, мають невеликий обсяг – не більше десятків машинних слів (байт), що дає змогу застосовувати для

передачі пакету даних комунікаційне середовище на короткий проміжок часу, що в свою чергу дає змогу зменшити обсяги буферної пам'яті.

2. Комунікаційні середовища мереж на кристалі не мають властивості масштабування, що дає змогу в процесі створення мереж застосовувати не стохастичні, а детерміновані параметри.

3. Топології мереж на кристалі є незмінними, а тому інформацію про неї, наприклад, у виді матриці суміжності, може мати кожен елемент мережі.

Структури зв'язків між елементами мережі на кристалі, іншими словами топології мереж, є фіксованими. Отже, ці топології є статичними. Кращим варіантом математичної моделі таких топологій є, як відомо [13], матриці суміжності. Щодо можливості альтернативного маршруту передачі пакетів даних в мережах на кристалі, то вони власне забезпечують передачу пакетів різними маршрутами, а тому їх відносять до динамічних.

Така особливість дає змогу створювати алгоритми оптимальної маршрутизації пакетів даних з врахуванням конкретної топології мереж.

Загальний алгоритм передачі пакету. На рис.1 наведено приклад алгоритму комутації пакету елементами мережі на кристалі з матричною топологією, в якій кожен її елемент з'єднаний з чотирма сусідами, а крайні – утворюють інтерфейс. Нумерація вузлів у матричній топології проводиться парою чисел (i, j) , де i – номер вузла у рядку, а j – номер у стовпці.

У заголовку кожного пакету міститься дві пари чисел. Перша пара – це номер вузла передавача пакету (i_s, j_s) , а друга – номер вузла отримувача пакету (i_f, j_f) . Враховуючи матричну топологію, можна виявити, що в залежності від того, якими є номери вузлів передавача та приймача пакетів, мінімальний маршрут буде пролягати через вузли, що утворюють прямокутник з вершинами (i_s, j_s) , (i_f, j_f)

Робота алгоритму починається з моменту прийняття вузлом пакету. Спочатку проводиться перевірка чи даний вузол є приймачем пакету ($i_s=i_f$, та $j_s=j_f$). Якщо даний вузол не є приймачем пакету, то він повинен забезпечити передачу цього пакету одному із своїх сусідніх вузлів.

Введено дві змінні m та k , які можуть приймати значення +1 або -1 (інкремент та декремент номера вузла у рядку та стовпці відповідно).

Далі визначається в якому напрямку будуть передаватися пакети у вузли, що утворюють мінімальні шляхи, та встановлюються відповідні значення двох змінних m та k . У ситуації, коли наступний вузол є зайнятим, то пакет підлягає буферизації відомим способом [10].

У випадку наявності альтернативних мінімальних шляхів виникає вибір того, якому вузлу із двох сусідніх повинен передатися пакет. Тут можливі три ситуації. Перша – один із двох сусідніх вузлів є вільним, тобто незадіяним у даний момент часу, а другий вузол зайнятий. У цій ситуації пакет передається вільному вузлу. Друга ситуація виникає тоді, коли два сусідні вузли є вільними, а третя ситуація, коли два сусідні вузли є зайнятими. В останніх двох ситуаціях виникає потреба у виборі одного із двох вузлів. Для вибору одного із двох вільних вузлів пропонується оцінювати статистичні дані їх роботи, а саме кількість переданих пакетів за час роботи чи розв'язку задачі. При цьому приймається, що час передачі всіх вузлів є однаковим. Пакет буде передаватися тому вузлу, який передав більше пакетів.

Аналогічно розв'язується вибір вузла у випадку двох зайнятих. Відмінність лише в тому, що переданий пакет потребує буферизації.

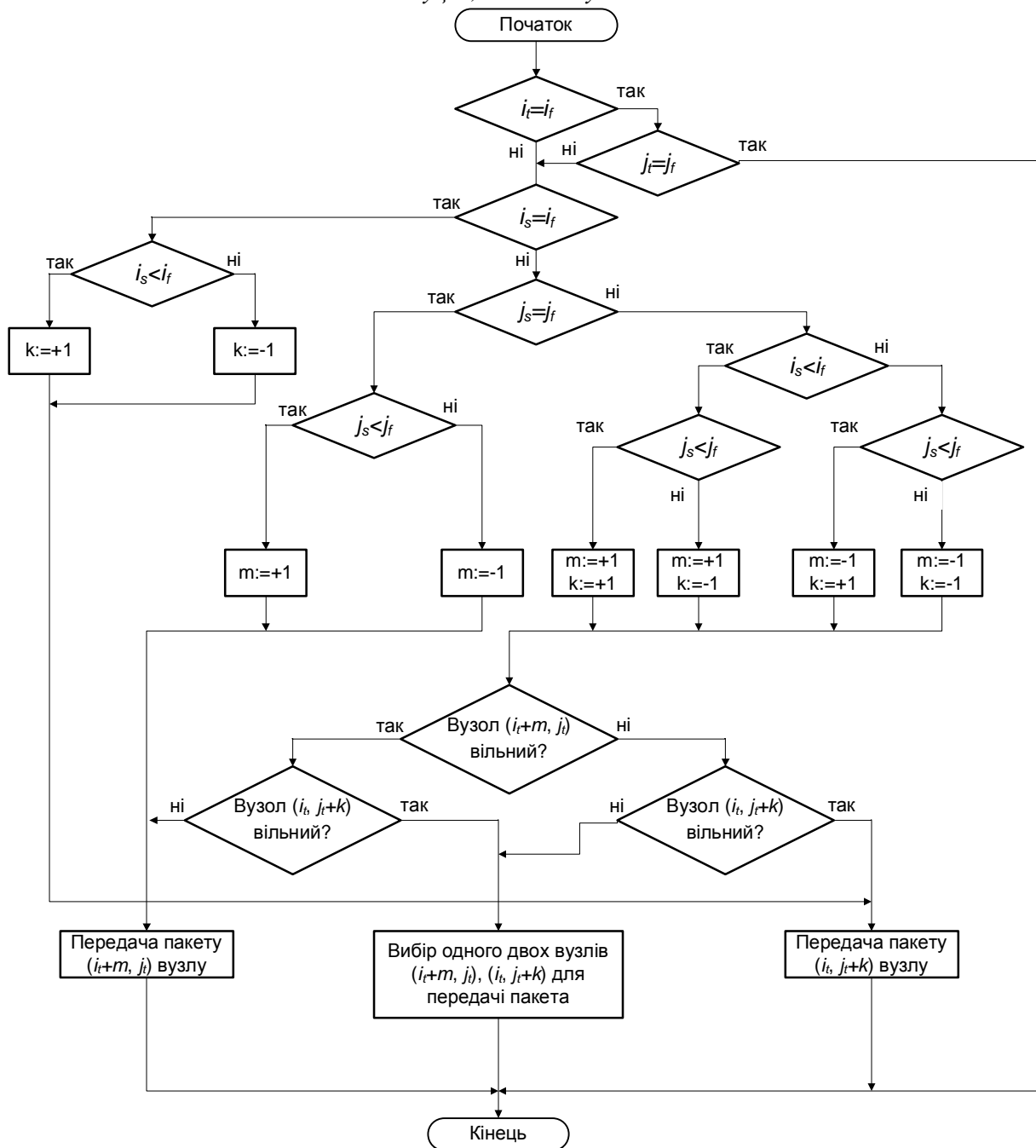


Рис. 1. Алгоритм комутації пакету

Умови тестування ефективності. Для оцінки ефективності алгоритму тестування будемо проводити в трьох ситуаціях стану мережі.

Перша – відповідає вільній мережі, коли на момент передачі одного пакету всі вузли мережі є вільними. Це дозволить проаналізувати роботу запропонованого алгоритму в простих умовах.

Друга – відповідає частково зайнятій мережі при проходженні одиничного пакету, що дасть змогу проаналізувати роботу алгоритму в робочих (типових) умовах.

Третя – відповідає одночасному проходженню трьох пакетів з різними показниками зайнятості мережі, що дасть змогу визначити кількісні характеристики роботи мережі загалом.

Пропонується для кожної ситуації задати три варіанти проходження пакету:

а) «по діагоналі» матричної топології, що відповідає проходженню пакету від верхнього лівого вузла до нижнього правого;

б) «по прямій лінії», що відповідає проходженню пакету через вузли, що розташовані тільки горизонтально або тільки вертикально;

в) «по діагоналі локального сегменту», що відповідає проходженню пакету через вузли локального сегменту мережі від верхнього лівого вузла до нижнього правого.

І, на кінець, тестування будемо проводити із різним розміром мережі. Пропонується розмір мережі задавати в межах від 6х6 до 25х25 вузлів.

При цих умовах буде визначатися час проходження пакетів для класичного алгоритму передачі пакетів у комп'ютерних мережах та для запропонованого алгоритму.

Програма тестування. Для тестування розроблено програму MDTNoC, основне вікно інтерфейсу якої наведено на рис. 2.

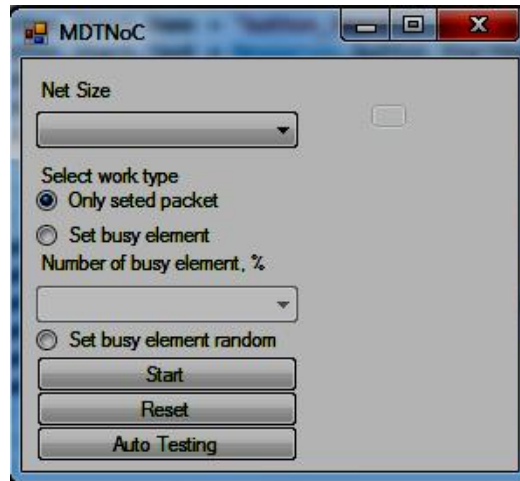


Рис. 2. Основне вікно

Програма має простий інтерфейс: для початку роботи вибираємо розмір мережі.(25х25 – 6х6). Після вибору розміру справа формується графічне зображення мережі з вузлами (рис.3.).

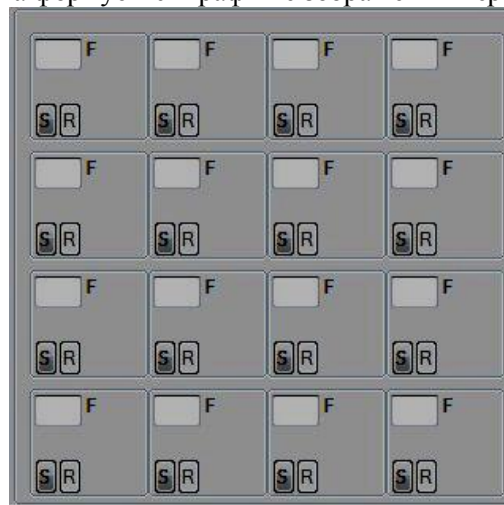


Рис. 3. Відображення вузлів мережі

Кожен відображений вузол мережі має свій інтерфейс, який складається з двох кнопок: ініціалізації початкового стану S та відновлення початкового R; текстового поля для введення при потребі назви особливого (маркованого) пакету та поле F, на якому виводиться інформація про стан пакету;. Якщо в текстовому полі не введено нічого, то інформація про пакет складається з координат початкового положення, кінцевого призначення пакету та поточного стану вузла.

Після встановлення цільових пакетів, залишається вибрати додаткові налаштування, а саме тип роботи мережі. Їх є три:

- використання тільки встановлених пакетів,
- встановлення зайнятості мережі у відсотковому співвідношенню,
- встановлення зайнятих пакетів випадковим чином.

Алгоритм міститься в окремому класі, що підключається до проекту за допомогою певного інтерфейсу і проаналізувавши стан вузла та мережі повертає набір координат. Таким чином підмінивши клас алгоритму можна тестувати в різних режимах роботу мережі на кристалі та ефективність алгоритму.

Після роботи програма створює Excel файл з даними в табличному представленні, котрі можна представляти в графічному вигляді засобами Excel та проводити подальший аналіз.

Результати тестування. На рис.4-12. зображена залежність кількості часових одиниць необхідних для проходження виконання поставленої задачі (по осі Y) від розміру мережі (по осі X).

Аналіз даних показує, що обидва алгоритми показують однакові, хороші результати при роботі у мало завантажених мережах. Натомість, при зростанні завантаженості мережі, класичний алгоритм, що працює за принципом передати пакет у будь-якому випадку, може передати пакет і в зворотному напрямку що збільшує затримку. Запропонований алгоритм застосовує принцип цілеспрямованої передачі пакету із застосування (при потребі) буферизації та вибору вузла найближчого до цілі. Ефективність запропонованого алгоритму посилюється із зростанням розмірів мереж та їх завантаженості.

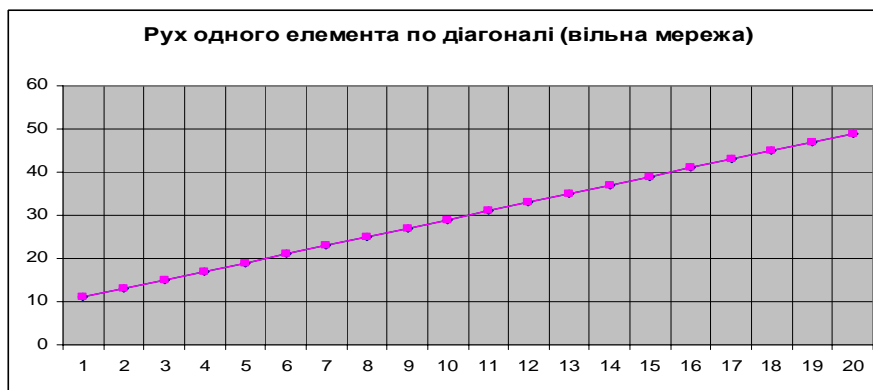


Рис. 4. Рух одного елемента по діагоналі (вільна мережа)

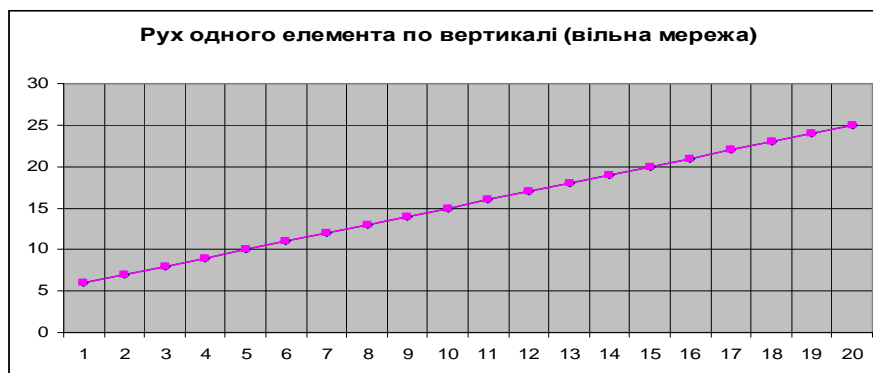


Рис. 5. Рух одного елемента по вертикалі (вільна мережа)



Рис. 6. Рух одного елемента по сегменту мережі (вільна мережа)

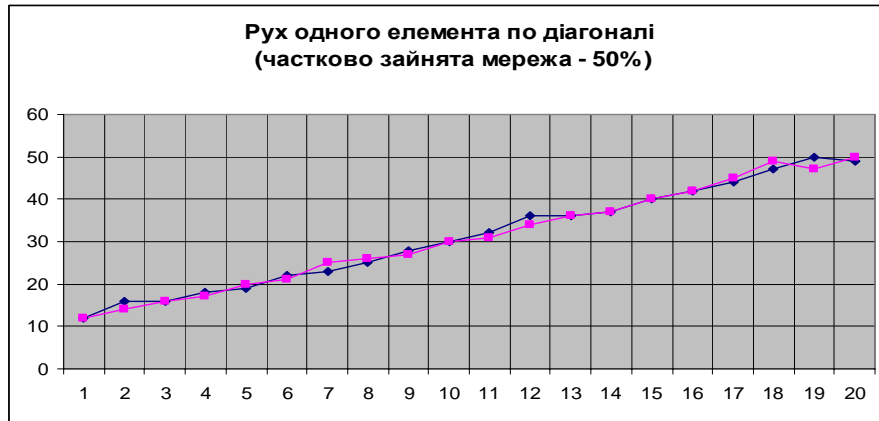


Рис. 7. Рух одного елемента по діагоналі (частково зайнята мережа - 50%)

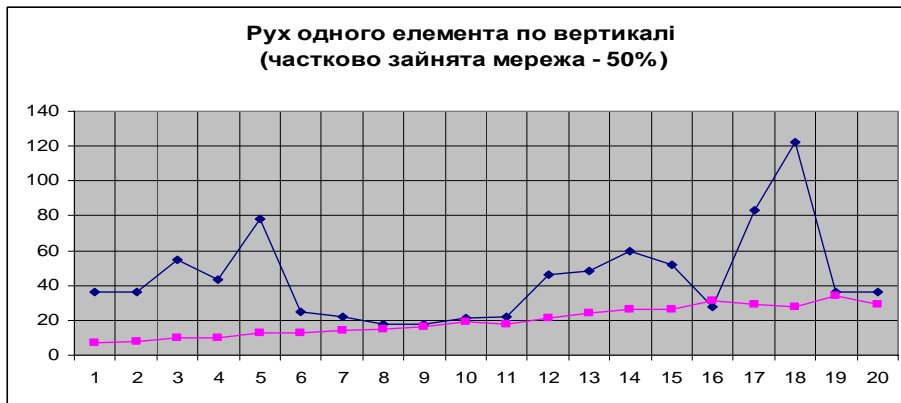


Рис. 8. Рух одного елемента по вертикалі (частково зайнята мережа - 50%)

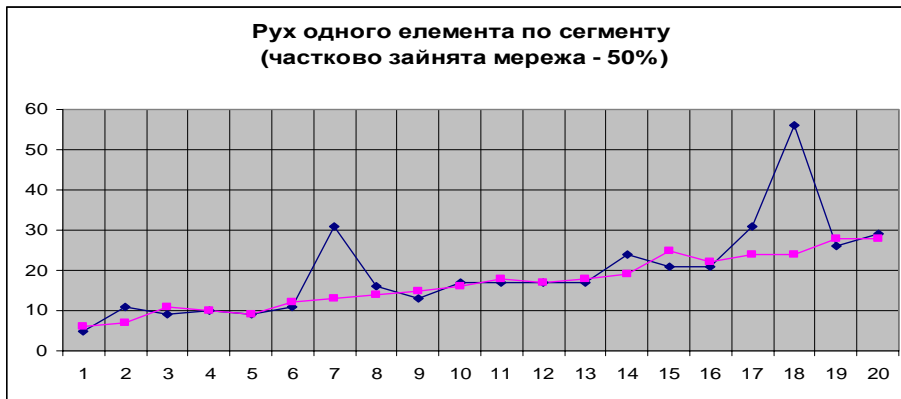


Рис. 9. Рух одного елемента по сегменту (частково зайнята мережа - 50%)

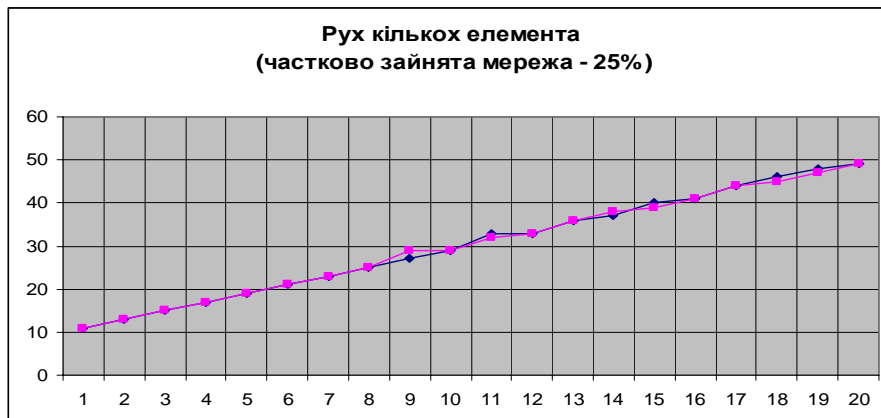


Рис. 10. Рух кількох елементів (частково зайнята мережа - 25%)



Рис. 11. Рух кількох елемента (частково зайнята мережа - 50%)

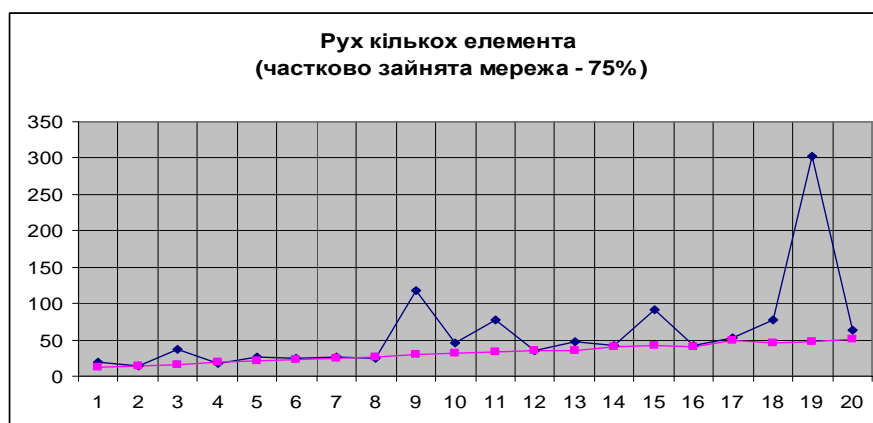


Рис. 12. Рух кількох елемента (частково зайнята мережа - 75%)

Висновки. Таким чином, після аналізу результатів можна стверджувати, що вибір вузлів, котрі знаходяться найближче до вузла призначення та застосування буферизації при їх зайнятості дозволяє часто досягати ефективності вищої ніж у класичних підходах. Ефективність зростає при збільшенні розмірів мережі в умовах її критичної завантаженості.

1. Janarthanan A. Networks-on-Chip based high performance communication architectures for FPGA's. – University of Cincinnati. Division of Research and Advanced Studies.– Cincinnati, USA, 2008. – 143p..
2. Chrysostomos N., Vijaykrishnan N., Chita R. Das. Network-on-Chip Architectures. A Holistic Design Exploration // Lecture Notes in Electrical Engineering, Vol. 45. - Hardcover 2010. - 223 p.
3. Kumar S., Jantsch A., Soaninen J.-P., Forsell M., Millberg1 M., Oberg1 J., Tiensyrja K, Hemani A. A Network on Chip Architecture and Design Methodology // Proc. IEEE Computer Society Annual Symposium on VLSI (ISVLSI.02), 2002. - P. 105 - 112
4. Vincenzo R., Atienza D. A Reconfigurable Network-on-Chip Architecture for Optimal Multi Processor SoC Communication // 16th IFIP/IEEE International Conference on Very Large Scale Integration (October 2008). – Rhodes, Greece. – P. 321-326.
5. Pande P.P., Grecu C., Jones M., Ivanov A., Saleh R. Performance Evaluation and Design Trade-Offs for Network-on-Chip Interconnect Architectures // IEEE TRANSACTIONS ON COMPUTERS, 2005, V. 54, № 8, p.1025-1040
6. Gebali F., Elmiligi H., Watheq El-Kharashi M. Networks-on-Chip: Theory and Practice.– Boca Raton (USA): CRC Press/Taylor and Francis Group LLC, 2009. – 307p.
7. Дунець Р.Б. Топології комп'ютерних систем. – Львів: ІППТ при НУ „Львівська політехніка”, 2007. – 50 с.
8. Dally W., Towles B. Route packets, not wires: on-chip interconnection networks // Proceedings of the 38th annual Design Automation Conference (June 2001). – Las Vegas, USA. – P.684-689.

9. Bjerregaard T., Mahadevan S. A survey of research and practices of Network-on-chip // ACM Computing Surveys. – 2006. – Vol.38, 51. – P.1-51.
10. Дунець Б.Р. Базові архітектури пристроїв комутації пакетів з багатоканальною вхідною буферизацією Комп'ютерні технології друкарства. - Львів: Укр. акад. друкарства. – 2004. №11. - с. 43-49.
11. Дунець Б.Р. Архітектура пристрою планування комутацією Вісн. Тернопільського державного технічного університету. – 2003. – Т. 8. - №4. – С. 85-91.
12. Jingcao Hu, Radu Marculescu, "Energy-Aware Communication and Task Scheduling for Network-on-Chip Architectures under Real-Time Constraints," date, vol. 1, pp.10234, Design, Automation and Test in Europe Conference and Exhibition Volume I (DATE'04), 2004.
13. Дунець Р.Б. Аналіз та синтез топологій комп'ютерних видавничо-поліграфічних систем: - Львів: НВФ "Українські технології", 2003. - 192 с.
14. Дунець Р.Б. Визначення часу та маршрутів критичних шляхів топологій спеціалізованих комп'ютерних систем // Вісн. Хмельницького національного університету. – Хмельницький, 2007. - Т.1. - № 2. - С.70-74.
15. Jantsch A., Tenhunen H. Networks on Chip. Boston, MA: Kluwer, 2003.
16. Benini T., Ye, I., Micheli G. De "Packetization and routing analysis of on-chip multiprocessor networks," J.Syst. Integr., vol. 50, pp. 81-104, Feb. 2004.
17. Saleh R. "An approach that will Noc your SoCs off!" IEEE Des. Test Comput., vol. 22, no. 5, p. 488, Sep.-Oct. 2005.