

УДК 62-52

П.С. Шолом, А.П. Здолбіцький

Луцький національний технічний університет

## **АНАЛІЗ СУЧАСНИХ САПР ДЛЯ ПЛІС**

*У статті розглядаються засоби проектування спеціалізованих пристроїв на базі ПЛІС. Проведений аналіз найпоширеніших і найпотужніших САПР для ПЛІС – MAX + PLUS II, Quartus II, Xilinx ISE. Цей огляд призначений для ознайомлення з існуючими програмними засобами у даній області та для допомоги розробнику у вирішенні завдання вибору пакету проектування при розробці пристроїв на ПЛІС.*

Ключові слова: ПЛІС, САПР, ІС, НВІС, ПЛ, ППЗП, редактор, програматор.

**Вступ.** Програмовані логічні інтегральні схеми (ПЛІС) є інтегральними схемами (ІС) високого рівня інтеграції для розробки на їх базі спеціалізованих пристроїв. На базі ПЛІС можуть бути виготовлені логічні блоки і системи, перетворювачі кодів, периферійні контролери, мікропрограмні пристрої керування, невеликі процесори, в тому числі для швидкого перетворення Фур'є. Проектування пристрою на ПЛІС полягає у складанні схеми з'єднань логічних елементів, що входять до її складу і подальшому програмуванні матриці спеціальним програматором, яке може бути виконано самим користувачем. Основна перевага ПЛІС перед іншими спеціалізованими схемами – короткий час виготовлення необхідних замовних варіантів схем. Час отримання потрібної ІС із стандартної ПЛІС вимірюється секундами і хвилинами. Широке поширення ПЛІС стало можливим завдяки наявності безлічі систем автоматизованого проектування (САПР). На сьогодні найпоширенішими стали кілька потужних САПР для ПЛІС – MAX + PLUS II, Quartus II, Xilinx ISE. У даній статті розглядаються основні особливості зазначених програмних пакетів.

### **Виклад основного матеріалу.**

#### **MAX + PLUS II.**

Система MAX + PLUS II розроблена компанією Altera. Назва системи є аббревіатурою від Multiple Array Matrix programmable Logic User System. Програмне забезпечення системи MAX + PLUS II містить 11 додатків і головну керуючу програму. Одні й ті ж команди різних додатків працюють однаково, що полегшує завдання розробки логічного дизайну. Склад додатків наступний.

Hierarchy Display - огляд ієрархії. Показує поточну ієрархічну структуру файлів у вигляді дерева з гілками, що представляють собою підпроекти.

Graphic Editor - графічний редактор, що дозволяє розробляти схемний логічний проект у форматі реального відображення на екрані WYSIWYG. Графічні файли проекту (.gdf) або схемні файли OrCAD (.sch), створені в даному графічному редакторі, можуть включати будь-яку комбінацію символів примітивів, мегафункцій і макрофункцій. Символи можуть являти собою будь-який тип файл проекту (.gdf, .sch, .tdf, .vhd, .v, .wdf, .edf, .xnf, .adf, .smf).

Symbol Editor - символний редактор, який дозволяє редагувати існуючі символи і створювати нові. Символьний файл має теж ім'я, що і проект, і розширення .sym.

Text Editor - текстовий редактор, що дозволяє створювати і редагувати текстові файли логічного дизайну, які написані на мовах AHDL, VHDL і Verilog HDL. Текстовий редактор є інструментом для створення текстових файлів проекту мовами опису апаратури: AHDL (.tdf), VHDL (.vhd), Verilog HDL (.v). У цьому текстовому редакторі можна працювати також з довільним файлом формату ASCII.

Waveform Editor - сигнальний редактор. Виконує подвійну функцію: інструмент для розробки дизайну та інструмент для введення тестових векторів і перегляду результатів тестування. Користувач може створювати сигнальні файли проекту (.wdf), які містять тимчасові діаграми, що описують логіку роботи проекту, а також файли каналів тестування (.scf), які містять вхідні вектори для тестування і функціонального налагодження. Розробка опису проекту в сигнальному редакторі є альтернативою його створення в графічному або текстовому редакторах.

Floorplan Editor - порівневий планувальник. Даний модуль дозволяє графічними засобами робити призначення контактам пристрою і ресурсам логічних елементів. У вікні порівневого планувальника можуть бути представлені наступні типи зображення:

- Compiler - компілятор, що обробляє логічні проекти.
- Simulator - симулятор, що дозволяє тестувати логічні операції і внутрішню синхронізацію проєктованого логічного ланцюга.
  - Timing Analyzer - тимчасовий аналізатор. Аналізує роботу проєктованого логічного ланцюга після того, як вона була синтезована і оптимізована компілятором.
  - Programmer - програматор. За допомогою даного модуля здійснюється програмування, конфігурування, проведення верифікації і тестування ПЛІС фірми Altera.
  - Message processor - генератор повідомлень, який видає на екран повідомлення про помилки і інформаційні повідомлення.

Перед тим, як почати працювати в системі MAX + PLUS II, слід зрозуміти різницю між файлами проєкту, допоміжними файлами та проєктами. Файл проєкту – це графічний, текстовий або сигнальний файл, створений за допомогою графічного або сигнального редакторів системи MAX + PLUS II або в будь-якому іншому редакторі, що використовує промислові стандарти. Допоміжні файли - це файли, пов'язані з проєктом MAX + PLUS II, але не є частиною ієрархічного дерева проєкту. Більшість таких файлів не містить логіки проєкту. Проєкт складається з усіх файлів ієрархічної структури проєкту, в тому числі допоміжних та вихідних файлів. Система MAX + PLUS II виконує компіляцію, тестування, аналіз синхронізації та програмування відразу цілого проєкту. У системі MAX + PLUS II легко доступні всі інструменти для створення проєкту. Розробка проєкту прискорюється за рахунок наявних стандартних функцій, в тому числі примітивів, мегафункцій, бібліотеки параметризованих модулів (LPM). У системі MAX + PLUS II є три редактори для розробки проєкту: графічний, текстовий і сигнальний, а також два допоміжних редактора: порівневий планувальник і символічний редактор. У всіх додатках MAX + PLUS II є можливість за допомогою команд з меню Assign вводити, редагувати і видаляти типи призначень ресурсів, пристроїв і параметрів, які управляють компіляцією проєкту. Можна визначити глобальні налаштування пристроїв для компілятора для того, щоб він їх використав для всіх пристроїв при опрацюванні проєкту. Для резервування додаткових можливостей на майбутнє можна задати відсоткове співвідношення контактів і логічних елементів, які повинні залишатися невикористаними під час поточної компіляції. Компілятор застосовує різноманітні способи збільшення ефективності проєкту та мінімізації використання ресурсів пристрою. Якщо проєкт надто великий, щоб бути реалізованим в одному пристрої, компілятор може автоматично розбити його на частини для реалізації в декількох пристроях того ж самого сімейства пристроїв, при цьому мінімізується кількість з'єднань між пристроями. У файлі звіту (.rpt) буде відображено як проєкт буде реалізований в одному або декількох пристроях.

Завантаження готового проєкту в ПЛІС виконують за допомогою програматора (programmer).

#### Quartus II.

САПР Quartus II надає комплекс засобів для системного налагодження проєктів, які дозволяють як замінити зовнішні прилади вимірювання та аналізу, так і полегшити підключення цих зовнішніх приладів. До засобів системного налагодження САПР Quartus II відносяться:

- редактор налагоджувальних виводів (SignalProbe Pins);
- редактор інтерфейсу для зовнішнього логічного аналізатора (Logic Analyzer Interface Editor);
- редактор вмісту пам'яті в системному середовищі (In-System Memory Content Editor);
- вбудований логічний аналізатор Signal Tap II (Signal Tap II Logic Analyzer).

При використанні засобів системного налагодження САПР Quartus II рекомендується виконувати інкрементальну компіляцію. При цьому додавання засобів налагодження не буде вносити змін до розміщення і розводку проєкту, що відлагоджується, так щоб його характеристики залишились незмінними. Крім того, у разі зміни налаштувань засобів налагодження час повторної компіляції буде значно коротшим.

Пакет Quartus II надає засоби для підключення сигналів проєкту, доступних в Node Finder після синтезу, до виводів надвеликої інтегральної схеми програмованої логіки (НВІС ПЛ), які вільні від основних функцій проєкту і призначені користувачем для контролю функціонування пристроїв в системі. До таких засобів відносяться налагодження виводів (SignalProbe Pins) і інтерфейс для підключення зовнішнього логічного аналізатора (LAI).

LogicLock - це нова блокова методологія проєктування, доступна лише в програмному забезпеченні Quartus II. Quartus II спільно з LogicLock - єдине програмне забезпечення для розробки пристроїв на основі програмованої логіки, яке включає в себе блочну методологію

проектування як стандартну функцію. Це допомагає збільшити ефективність роботи розробок, зменшити час проектування та верифікації. Розробники можуть об'єднувати готові модулі в проект верхнього рівня, зберігаючи продуктивність кожного модуля в процесі об'єднання.

NativeLink - дозволяє здійснювати зв'язок між засобом розробки Quartus II і програмним забезпеченням інших виробників. Пряме перетворення скорочує час компіляції та звільняє від використання додаткових бібліотек трансляцій перетворень, які можуть обмежити продуктивність, досягнуту засобами проектування сторонніх виробників. NativeLink дозволяє розробникам використовувати Quartus II для розміщення елементів, а засоби проектування інших виробників - для оптимізації стратегій синтезу.

PowerFit. Технологія розміщення елементів і трасування з'єднань PowerFit в програмному забезпеченні Quartus II використовує тимчасові параметри, задані розробником, для оптимального складання схеми і розміщення логічних елементів. Критичні до часових параметрів з'єднання оптимізуються в першу чергу, для зменшення затримок і досягнення максимальної продуктивності (fMAX). Подальше поліпшення параметра fMAX досягається використанням новітньої архітектури, такий як в сімействі пристроїв Stratix. Ця передова технологія розміщення елементів і трасування з'єднань допомагає користувачам програмного забезпечення Quartus II досягти максимальної продуктивності, і володіє малим часом компіляції проекту серед подібних засобів розробки.

Верифікація. Перевірка або верифікація проекту може виявитися найтривалішою стадією в процесі розробки високопродуктивних систем на кристалі (SOPC). Однак, використовуючи Quartus II, можна скоротити час верифікації, оскільки це програмне забезпечення має набір власних засобів верифікації.

Аналіз. Altera розробила два методи SignalProbe і SignalTap, для того, щоб допомогти розробникам проаналізувати стан внутрішніх точок і входів / виходів пристрою.

SignalProbe. Доступна в останніх версіях програмного забезпечення Quartus II технологія апаратного налагодження SignalProbe дозволяє користувачам послідовно з'єднувати внутрішні точки пристрою з вільними зарезервованими виводами для аналізу за допомогою осцилографа або логічного аналізатора.

SignalTap. Для багатьох розробників, які використовують корпуси BGA з великою кількістю входів / виходів, верифікація системного рівня займає дуже багато часу і іноді сильно утруднена. SignalTap дозволяє розробникам зібрати дані з будь-яких внутрішніх точок і входів / виходів пристрою в режимі реального часу при роботі системи. Quartus II вставляє в проект мегафункцію, що містить логічний аналізатор. Дані збираються і зберігаються в блоках вбудованої пам'яті пристрою і направляються в програмне забезпечення Quartus II через завантажувальний кабель. Розробники також можуть подати внутрішні сигнали на виводи пристрою для подальшого моніторингу. Логічний аналізатор SignalTap дозволяє істотно знизити час верифікації, що дозволяє в більш короткі терміни випускати нові продукти.

PowerGauge. Програмне забезпечення Quartus II включає технологію PowerGauge - перший інтегрований засіб аналізу енергоживлення, який використовує файли, створені в процесі моделювання для того, щоб скласти оцінку використання енергії із заданими параметрами пристрою.

Xilinx ISE.

Програмні засоби серії Xilinx ISE (Integrated Synthesis Environment / Integrated Software Environment) являють собою систему наскрізного проектування, яка реалізує повний цикл розробки цифрових пристроїв на основі ПЛІС, що включає етапи створення вихідних описів проекту, синтезу, моделювання, розміщення та трасування, а також програмування кристалу. Відмінними рисами систем автоматизованого проектування даної серії є:

- підтримка різних методів опису проєктованих пристроїв і систем (графічних, у формі принципів схем або діаграм станів, і текстових, з використанням мов опису апаратури HDL (Hardware Description Language));

- можливість використання проєктів, підготовлених за допомогою інших засобів проектування;

- наявність схемотехнічного редактора, укомплектованого набором великих уніфікованих бібліотек, які враховують архітектурні особливості відповідних використовуваних сімейств ПЛІС;

- застосування інтелектуальних засобів створення HDL описів, формують шаблони на підставі інформації, наданої користувачем, для мов опису апаратури VHDL™, Verilog™ і ABEL™ HDL;

- наявність високоефективних вбудованих засобів синтезу HDL проектів, що підтримують мови VHDL, Verilog та ABEL HDL;
- розвинені засоби верифікації проєктованих систем, що дозволяють скоротити повний час їх розробки за рахунок виявлення можливих помилок на більш ранніх стадіях проєктування та скорочення тривалості та кількості можливих ітерацій;
- автоматичні засоби трасування проєкту розробляється мікропроцесорної системи в кристали різних сімейств ПЛІС фірми Xilinx з урахуванням оптимізації за різними параметрами;
- єдині засоби програмування кристалів всіх сімейств ПЛІС фірми Xilinx і конфігураційних програмованих постійних запам'ятовувачів пристроїв (ППЗП), що підтримують декілька типів авантажувальних кабелів JTAG-інтерфейсу;
- вбудований комплект допоміжних програмних засобів, що дозволяють підвищити ефективність процесу проєктування;
- інтуїтивний користувальницький інтерфейс, доступний для розробника, і пакет довідкової системи в кожному модулі, що скорочують час освоєння САПР;
- наявність інтегрованих з пакетом САПР альтернативних інструментів моделювання інших фірм (зокрема, ModelSim XE III Starter™), що надають додаткові можливості у процесі проєктування.

Конфігурація САПР серії Xilinx ISE.

Засоби проєктування серії Xilinx ISE, починаючи з версії 8.1i, випускаються в двох конфігураціях: ISE Foundation™ і ISE WebPACK™. Основна відмінність між цими конфігураціями полягає тільки в кількості підтримуваних кристалів. Вільно розповсюджувана (безкоштовна) конфігурація САПР ISE WebPACK підтримує всі кристали CPLD і ПЛІС серій FPGA з логічною місткістю не більше 1,5 млн. системних вентилів. Модуль програмування iMPACT™, що входить до складу пакету, може застосовуватися для конфігурування практично всіх кристалів фірми Xilinx. Для створення конфігураційної послідовності при цьому використовуються інші засоби проєктування, які надані фірмою Xilinx.

Крім підтримки нових типів кристалів остання версія САПР дозволяє значно скоротити сумарний час розробки вбудованих мікропроцесорних систем за рахунок застосування вдосконалених методів проєктування, алгоритмів синтезу, розміщення та трасування. При цьому використання унікальної технології Xilinx Fmax надає можливість істотного підвищення продуктивності розроблюваних систем.

Основу САПР утворює сукупність програмних модулів, що виконують усі етапи процесу проєктування цифрових пристроїв і вбудованих систем. Управління взаємодією модулів здійснюється за допомогою графічної оболонки Project Navigator™. Пакет САПР включає також ряд допоміжних програм, які дозволяють підвищити ефективність процесу проєктування. Більшість програмних модулів пакетів САПР серії Xilinx ISE можуть працювати як у віконному режимі, так і в режимі командного рядка.

До основної групи модулів САПР серії Xilinx ISE відносяться наступні програми:

- схемотехнічний редактор Schematic Editor, призначений для створення модулів вихідного опису апаратної частини вбудованої мікропроцесорної системи у формі принципів схем;
- інтегрований текстовий редактор HDL-Editor, що дозволяє швидко формувати модулі вихідного опису проєкту на мовах VHDL™ і Verilog™ за рахунок використання відповідних шаблонів;
- редактор діаграм станів StateCAD™, що використовується для опису апаратної частини системи, розробленої в графічному вигляді;
- генератор параметризованих модулів вихідного опису CORE Generator, що дозволяє автоматично створювати різні функціональні блоки проєктованої системи з необхідними характеристиками;
- програма генерації тестових впливів для здійснення подальшого функціонального і тимчасового моделювання проєктованої системи HDL Benchner;
- програма HDL-моделювання ISE Simulator™, що дозволяє виконувати функціональну та тимчасову (повну) верифікацію розробленої вбудованої системи на відповідних етапах її проєктування;
- засоби синтезу VHDL, формують оптимальним чином із сукупності модулів вихідного опису проєктованої системи список з'єднань (netlist), що містить набір примітивів і компонентів, який може бути реалізований на основі ресурсів обраного кристала ПЛІС;

- програми автоматичного розміщення та трасування проектів в кристалах ПЛІС сімейств MAP program і Place and Route (PAR) program, виконують розподіл компонентів і примітивів синтезованого списку з'єднань в конфігуровані логічні блоки CLB (Configurable Logic Block) ПЛІС і формування необхідних зв'язків між ними;

- програма автоматичного розміщення та трасування проектів в ПЛІС сімейств CPLD Fitter, що здійснює розподіл виконуваних функцій з макрокомірками Macrocell і формування взаємозв'язків у кристалі;

- топологічний редактор FPGA Editor, призначений для «ручного» розміщення і оптимізації проекту;

- модуль програмування iMPACT™, що виконує функції завантаження конфігураційної послідовності в ПЛІС FPGA і ПЛІС CPLD, а також прошивки конфігураційного ППЗП. У комплект додаткових інструментів пакету САПР серії Xilinx ISE входять наступні програмні модулі:

- аналізатор статичних часових характеристик Timing Analyzer™;

- інтерактивний графічний редактор розміщення Floorplanner™;

- модуль оцінки використовуваної потужності XPower™;

- «майстер» підготовки описів блоків синхронізації, що виконуються на основі DCM (Digital Clock Managers), Architecture Wizard™;

- інтерактивний графічний редактор топологічних обмежень PACE™ (Pinout and Area Constraints Editor);

- програма візуалізації топології проектованого пристрою або системи в ПЛІС CPLD ChipViewer™.

За допомогою перерахованих програм додаткової групи можна істотно підвищити ефективність процесу проектування, отримати інформацію про тимчасові та електричні характеристики розробленої системи, домогтися відчутного підвищення її продуктивності.

**Висновок.** Сучасна елементна база передбачає використання нових технологій проектування і сучасних засобів проектування. Компанія Altera пропонує розробникам дві системи автоматизованого проектування цифрових пристроїв на базі мікросхем програмованої логіки (ПЛ): MAX + PLUS II - САПР, яка підтримує роботу з відносно простими сімействами НВІС ПЛ; Quartus II - САПР, яка підтримує роботу з усіма новими сімействами НВІС ПЛ, забезпечує доступ до усіх розвинутих ресурсів мікросхем, дозволяє вести проектування програмно-апаратних систем. Програмні засоби фірми Xilinx серії Xilinx ISE, являють собою систему наскрізного проектування, яка реалізує повний цикл розробки цифрових пристроїв на основі ПЛІС фірми Xilinx, які виконані за різними технологіями (CPLD і FPGA).

1. Комолов Д.А., Мялык Р.А. Системы автоматизированного проектирования фирмы Altera MAX + plus II и Quartus II. Краткое описание и самоучитель. – М: ИП РадиоСофт, 2002. – 352 с.

2. Грушвицкий, Р.И. Проектирование систем на микросхемах программируемой. – СПб.: БХВ-Петербург, 2002. – 608 с.

3. Зотов В.Ю. Проектирование встраиваемых микропроцессорных систем на основе ПЛИС фирмы Xilinx. – М.: Горячая линия – Телеком. 2006. – 520 с.

4. [http://www.kit-e.ru/articles/cad/2002\\_4\\_136.php](http://www.kit-e.ru/articles/cad/2002_4_136.php)

5. [http://www.kit-e.ru/articles/cad/2003\\_01\\_152.php](http://www.kit-e.ru/articles/cad/2003_01_152.php)

6. <http://www.altera.com/products/software/quartus-ii/whats-new/swf-qts-whats-new.html>

7. <http://exnews.org/soft/1146908362-altera-quartus-ii-9.1-sp1.0-update.html>