

УДК 638.322

М. А. Демидюк

Луцький національний технічний університет

## **РЕАЛІЗАЦІЯ СУМАТОРІВ НА ОСНОВІ ОДНОМІРНОГО КАСКАДУ КОНСТРУКТИВНИХ МОДУЛІВ**

*У статті розглядається можливість порівняння продуктивності суматорів за змінним модулем побудованих за класичною схемою і на основі одновимірного каскаду конструктивних модулів. Запропоновано універсальну структуру схеми для тестування вищезгаданих модулів, а також їх модифікації. У відповідності до запропонованої структури реалізовано фізичний пристрій на основі Spartan3E Starter Kit для тестування суматорів за змінним модулем і проведено серію експериментів. На основі отриманих даних проведений аналіз і зроблені висновки щодо раціональності застосування суматорів за змінним модулем на основі одновимірного каскаду конструктивних модулів у різних типах ПЛІС.*

Ключові слова: *CPLD, FPGA, одновимірний каскад конструктивних модулів, суматор за змінним модулем, Look-up-tables.*

### **I. Вступ**

Дуже часто в обчислювальних системах на основі ПЛІС операції додавання за модулем виконуються за класичною схемою з використанням звичайних суматорів, представлених у вигляді бібліотечних функцій або макроелементів. Раніше було запропоновано використовувати для обчислення операції додавання за змінним модулем одновимірний каскад конструктивних модулів (1). У попередніх матеріалах були описані методи тестування для оцінки та порівняння продуктивності цих схем. (2) Для забезпечення найбільшої об'єктивності проведення досліджень була розроблена схема перевірки, яка дозволяє визначити кількість операцій додавання за змінним модулем за одиницю часу, зроблених без помилок. Результати тестування дали можливість оцінити доцільність використання суматори на основі ОККМ в ПЛІС різних типів.

### **II. Формулювання проблеми**

Більшість обчислювальних пристроїв, до складу яких входять суматори за змінним модулем, є синхронними, однією з характеристик таких пристроїв є продуктивність. Можливі одиниці вимірювання продуктивності обчислювального вузла є MIPS. У загальному випадку MIPS є кількість операцій за одиницю часу. Таким чином, продуктивність може бути визначена як зворотна до часу виконання величина. Виходячи з вище сказаного у випадку з суматорами за модулем продуктивність буде визначатися граничною частотою тактового сигналу, на якій пристрій працює гарантовано без помилок. Запропоновані раніше структури суматори по змінному модулю на основі ОККМ (3) припускають асинхронну роботу, що істотно ускладнює оцінку продуктивності шляхом обчислення максимальної тактової частоти дослідним шляхом. Тому розробка способів порівняння продуктивності синхронних і асинхронних суматори в даному випадку є важливою складовою досліджень.

Додатково розробка способів і схем порівняння продуктивності суматорів з різними структурами у перспективі істотно спростить визначення кількісної оцінки продуктивності різних модифікацій суматори на основі ОККМ (3). Передбачається, що застосування суматорів за змінним модулем на основі ОККМ дозволить в ПЛІС одного з типів підвищити продуктивність обчислювальної систем в цілому, а також зменшити апаратні витрати на її реалізацію (3). Метою цього дослідження було вивчення впливу типу ПЛІС на основі, якої вона створена і структури суматора за змінним модулем на його продуктивність. У завдання дослідження входило:

- Серед структур для виконання операції додавання по змінному модулю виділити найбільш поширені і придатні для реалізації на ПЛІС.
- Розробити схему придатну для визначення продуктивності, як типових структур суматора, так і структур на основі ОККМ.
- Провести серію експериментів для виявлення ефективності застосування суматори по змінному модулю у кожному з типів ПЛІС.

### III. Структури суматорів

Робочою гіпотезою було прийнято положення про те, що структурні особливості реалізації суматорів за змінним модулем на основі ОККМ, дозволять при певних параметрах апаратури обчислювальної системи домогтися більшої продуктивності при незначному зростанні апаратних витрат. Зокрема при розгляді структури ПЛІС типу FPGA видно, що основу ПЛІС складають так звані LUT, що представляють собою однобітні ПЗП на 16 комірок. При аналізі класичних схем які використовуються для реалізації суматорів за змінним модулем було виділено 3 основні. Дві з цих схем виявилися такими що не можуть бути реалізовані на ПЛІС типу CPLD, тому що у структурі даного типу ПЛІС відсутній блок LUT. Схема ж наведена на малюнку 1 однаково може бути відтворена як у FPGA так і в CPLD. Вона базується на елементах що вільно синтезуються в CPLD, тому порівняльний аналіз суматора на ОККМ будемо проводити саме з цією структурою.

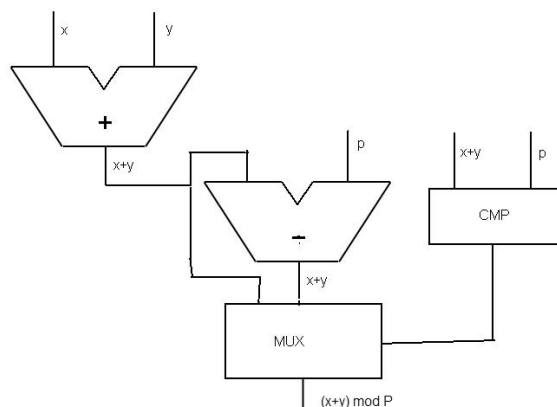


Рис.1. Суматор за змінним модулем на базових примітивах ПЛІС

### IV. Використання ОККМ у різних типах ПЛІС

Для проведення досліджень була розроблена схема (рис. 2) яка фіксує кількість помилок операцій додавання за змінним модулем при подачі на вхід суматора даних з різною частотою.

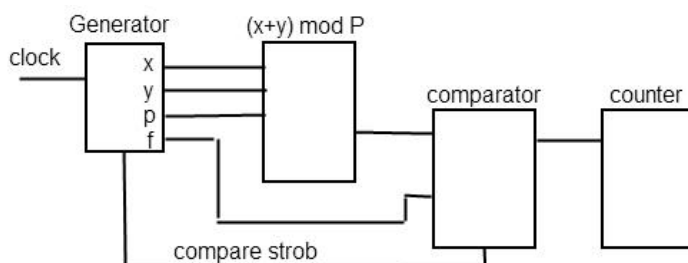


Рис.2. Схема для аналізу продуктивності суматора

Запропонована схема працює наступним чином, з частотою вхідного тактового сигналу на виході генератора формуються операнди  $x$ ,  $y$  і  $p$ . Паралельно з ними табличним методом формується вірне значення функції  $f$ . Операнди надходять на вхід суматора за змінним модулем, який проходить тест, а значення функції на вхід компаратора. На другий вхід компаратора подається значення функції, отримане на суматорі що тестується. Щоб уникнути помилкових результатів операції порівняння, вона виконується по задньому фронту такуючого сигналу, а точніше по стробу порівняння що формується в генераторі. Слід зазначити, що генератор зібраний на основі табличної структури і через свою громіздкість наклав обмеження на діапазон значень операндів, з якими проводилися досліди. Вхідні операнди формувалися вибірками по 100 елементів в області мінімальних, середніх і максимальних значень.

У попередніх дослідженнях було показано залежність витрачаються апаратних ресурсів на реалізацію ОККМ від обраної кодування внутрішніх станів (3). У даному випадку, для мікросхем типу FPGA з отриманих дослідним шляхом таблиць кодування була обрана кодова комбінація відповідна мінімальним апаратним витрат:  $a = 00$ ,  $b = 01$ ,  $c = 11$ ,  $d = 10$ ,  $h = 01$ ,  $k = 00$ ,  $e = 10$ ,  $g = 11$ . Враховуючи, що КМ будується на комбінаторній логіці, можна встановити пряму залежність між

кількістю логічних елементів що витрачаються і швидкодією каскаду КМ. Очевидно, що при зменшенні кількості рівнів комбінаторної логіки для обчислення функції буде зменшуватися і час її обчислення.

Таким чином, продуктивність будемо рахувати в мільйонах операцій за секунду і граничним її значенням те значення при якому лічильник залишився рівним 0, тобто не відбулося жодної помилки.

Дослідження проводилися в САПР Xilinx ISE 10.1 з включеною оптимізацією синтезу за швидкодією. Для фізичної перевірки роботи суматори використовувалися Spartan3E Starter Kit і Spartan-3A DSP 1800A Starter Board.

Дослідження проводилися для суматора із структурою наведеною на рис 1, і суматори на основі ОККМ з регулярною і нерегулярною структурами (3)

Результати тестування наведені в таблиці 1.

Таблиця 1 - Результати визначення продуктивності суматора в FPGA Spartan 3E DSP

| bit  | Класика<br>млн.<br>оп/сек | ОККМ<br>регулярна | ОККМ<br>нерегулярна |
|------|---------------------------|-------------------|---------------------|
| 8    | 90                        | 100               | 90                  |
| 16   | 80                        | 85                | 80                  |
| 32   | 60                        | 60                | 60                  |
| 64   | 50                        | 30                | 30                  |
| 128  | 35                        | 15                | 10                  |
| 256  | 20                        | 8                 | 5                   |
| 512  | 12                        | 4                 | 2                   |
| 1024 | 5                         | 1                 | 0,5                 |

З таблиці 1 видно, що приросту продуктивності на великих кількостях розрядів не отримано. Подібний тест проведемо на FPGA не орієнтованій на DSP застосування.

Таблиця 2 - Результати визначення продуктивності суматора в FPGA Spartan 3E

| bit  | Класика<br>млн.<br>оп/сек | ОККМ<br>регулярна | ОККМ<br>нерегулярна |
|------|---------------------------|-------------------|---------------------|
| 8    | 50                        | 60                | 50                  |
| 16   | 35                        | 40                | 35                  |
| 32   | 20                        | 20                | 20                  |
| 64   | 15                        | 15                | 10                  |
| 128  | 10                        | 8                 | 5                   |
| 256  | 5                         | 4                 | 2                   |
| 512  | 2                         | 1                 | 0.5                 |
| 1024 | 0.5                       | 0.25              | 0,1                 |

З таблиці 2 видно, що запропонована нами схема, так само не дає приросту продуктивності при виконанні операції з багато розрядними операндами. Це можна пояснити тим, що структура FPGA вже орієнтована на прискорене виконання арифметичних операцій, тобто активно застосовуються схеми прискореного переносу (4) та виходячи з аналізу топології мікросхеми багаторозрядних підсумовування проводиться вже не на комбінаторній логіці що входять до складу carry logic, а на основі LUT, рис 3.

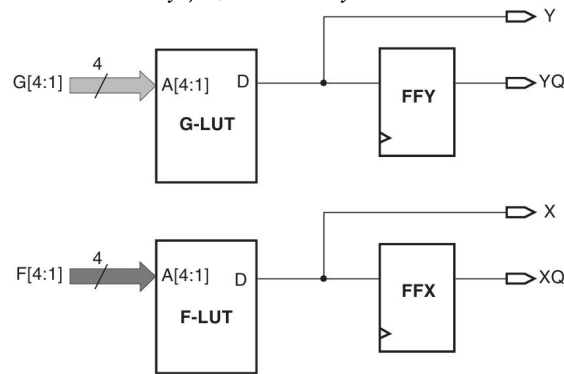


Рис.3. Структура CLB блоку ПЛІС Spartan-3E

Цей підхід усуває багаторівневе каскадування комбінаторних елементів розташованих в різних слайсах і при об'єднанні в структуру що мають істотні затримки поширення сигналу (4). Подібним чином проведемо дослідження на ПЛІС типу CPLD Coolrunner 2.

Для ПЛІС типу CPLD таблиці кодування в попередніх дослідженнях були побудовані не на всьому діапазоні можливих кодових комбінацій, тому прийняте нами кодування, можливо, не забезпечує гарантоване мінімальні апаратні витрати. Прийняте кодування: a = 00, b = 01, c = 11, d = 10, h = 01, k = 00, e = 10, g = 11.

Таблиця 3 - Результати визначення продуктивності суматора в CPLD Coolrunner 2

| bit | класика | ОККМ<br>регулярна | ОККМ<br>нерегулярна |
|-----|---------|-------------------|---------------------|
| 8   | 20      | 30                | 20                  |
| 16  | 10      | 15                | 10                  |
| 32  | 5       | 10                | 5                   |

Оскільки наявна CPLD мала менші апаратні ресурси, ніж FPGA, то обмежимося тестуванням суматорів за змінним модулем тільки до 32 біт.

Таблиця 4 - Результати визначення ресурсоемності суматора в CPLD Coolrunner 2

| bit | Класика<br>macrocell<br>s | ОККМ<br>регулярна | ОККМ<br>нерегулярна |
|-----|---------------------------|-------------------|---------------------|
| 8   | 43                        | 64                | 32                  |
| 16  | 86                        | 112               | 64                  |
| 32  | 178                       | 224               | 128                 |

З таблиці 3 видно, що запропоновані нами структури дають значний приріст продуктивності при незначному зростанні необхідних апаратних ресурсів (таблиця 4).

### Висновок

Результати досліджень, наведені в вище, визначають область застосування суматорів за змінним модулем на основі ОККМ. З отриманих результатів можна зробити висновок, що формування запропонованої структури в ПЛІС типу CPLD є доцільнішим. З огляду на те, що при дослідженні продуктивності суматора за змінним модулем в CPLD застосовувалася кодування яке не гарантувало мінімальні апаратні витрати, то подальшим напрямком дослідження є отримання повних таблиць з оптимальними кодуваннями і проведення додаткових заходів щодо адаптації структури ОККМ для реалізації в CPLD. Крім того, перспективними є дослідження структур суматорів за змінним модулем на основі ОККМ, шляхом використання методу прискореного переносу, запропонованого в (6).

1. В.П. Тарасенко, О.К.Тесленко Реалізація операцій в скінчених полях на одновимірному каскаді конструктивних модулів., Системні дослідження та інформаційні технології №2, 2006.
2. Тарасенко В.П., Тесленко О.К., Роговенко А.І. Створення параметричних ядер (softcores) для виконання операцій в скінчених полях. // *Радіоелектронні і комп'ютерні системи.* – 2008. №6, С.261-264.
3. Тарасенко В.П., Тесленко О.К., Роговенко А.І. Оптимізація апаратних витрат на реалізацію параметричних ядер (soft-cores) для виконання операцій в скінчених полях. // *Радіоелектронні і комп'ютерні системи.* – 2009. №5, С.184-189.
4. Spartan-3 Generation FPGA User Guide., UG331 (v1.5) Xilinx, January 21, 2009, P 211-247.
5. Volodymyr Tarasenko, Olexandr Teslenko, Andriy Rogovenko The performance defining for adders with variable module based on one-dimensional cascade of constructional modules. *Advanced Computer System and Networks: Design and Application. Proceedings Of the 4st International Conference ACSN-2009.* – Lviv, 2009. – P. 11-13.
6. Тарасенко В.П., Тесленко А.К. Быстродействующие многоразрядные сумматоры по переменному модулю . *Материалы международной научно-практической конференции «Информационные технологии и информационная безопасность в науке, технике и образовании "ИНФОТЕХ-2007"» СевНТУ, 2007, с. 93-97.*